

NONPROVISIONAL PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400
Facsimile: (703) 836-2787

Attorney Docket No.: 111200

Date: November 23, 2000

U.S. PTM
JCP 9/990297
11/23/01

BOX PATENT APPLICATION

Customer Number: 25944

**NONPROVISIONAL APPLICATION TRANSMITTAL
RULE §1.53(b)**

Director of the U.S. Patent and Trademark Office
Washington, D.C. 20231

Sir:

Transmitted herewith for filing under 37 C.F.R. §1.53(b) is the nonprovisional patent application

For (Title): POWER SUPPLY CIRCUIT, OPERATIONAL AMPLIFIER CIRCUIT, LIQUID CRYSTAL
DEVICE AND ELECTRONIC INSTRUMENT

By (Inventors): Masahiko TSUCHIYA

Formal drawings (Figs. 1-13; 13 sheets) are attached.
 Use Figure _____ for front page of Publication.
 A Declaration and Power of Attorney is filed herewith.
 This patent application is assigned to SEIKO EPSON CORPORATION.
 The executed Assignment is filed herewith.
 An Information Disclosure Statement is filed herewith.
 Entitlement to small entity status is hereby asserted.
 A Preliminary Amendment is filed herewith.
 Please amend the specification by inserting before the first line the sentence --This nonprovisional application claims the benefit of U.S. Provisional Application No. _____, filed _____.
 Priority of foreign application No. 2000-386670 filed December 20, 2000 in Japan is claimed (35 U.S.C. §119).
 A certified copy of the above corresponding foreign application is filed herewith.
 This application is NOT to be published under 35 U.S.C. 112(b). The undersigned attorney or agent hereby certifies that the invention disclosed in this application has not been and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.
 The filing fee is calculated below:

CLAIMS IN THE APPLICATION AFTER ENTRY OF
ANY PRELIMINARY AMENDMENT NOTED ABOVE

FOR:	NO. FILED	NO. EXTRA
BASIC FEE		
TOTAL CLAIMS	19 - 20	= 0*
INDEP CLAIMS	2 - 3	= 0*
<input type="checkbox"/> MULTIPLE DEPENDENT CLAIMS PRESENTED		

* If the difference is less than zero, enter "0".

SMALL ENTITY

RATE	FEES
	\$ 370
x 9 =	\$
x 42 =	\$
+ 140 =	\$
TOTAL	\$

**OTHER THAN A
SMALL ENTITY**

RATE	FEES
	\$ 740
x 18 =	\$ -----
x 84 =	\$ -----
+ 280 =	\$ -----
OR TOTAL	\$ 740

Check No. 125186 in the amount of \$740.00 to cover the filing fee is attached. Except as otherwise noted herein, the Director is hereby authorized to charge any other fees that may be required to complete this filing, or to credit any overpayment, to Deposit Account No. 15-0461. Two duplicate copies of this sheet are attached.

Respectfully submitted,

James A. Oliff
Registration No. 27,075

Joel S. Armstrong
Registration No. 36,430

日本国特許庁
JAPAN PATENT OFFICE

JC979 U.S. PTO
09/990297
11/23/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2000年12月20日

出願番号
Application Number:

特願2000-386670

出願人
Applicant(s):

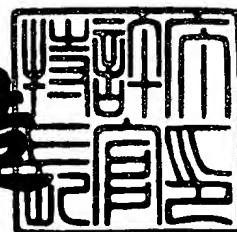
セイコーエプソン株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月12日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願
【整理番号】 EP-0281301
【提出日】 平成12年12月20日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/00
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
【氏名】 土屋 雅彦
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホームズ株式会社
【代理人】
【識別番号】 100090479
【弁理士】
【氏名又は名称】 井上 一
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090387
【弁理士】
【氏名又は名称】 布施 行夫
【電話番号】 03-5397-0891
【選任した代理人】
【識別番号】 100090398
【弁理士】
【氏名又は名称】 大渕 美千栄
【電話番号】 03-5397-0891
【手数料の表示】
【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路、液晶装置及び電子機器

【特許請求の範囲】

【請求項1】 複数の電位を生成する電源回路であって、

第1及び第2の電位を供給する第1及び第2の電源線に接続され、前記第1及び第2の電位の差に基づいて昇圧した第3の電位を第3の電源線に供給する第1の昇圧回路と、

前記第1及び第3の電源線に接続され、前記第1及び第3の電位の差に基づいて生成した定電位である第4の電位を第4の電源線に供給する電位調整回路と、

前記第1及び第4の電源線に接続され、前記第1及び第4の電位の差に基づいて昇圧した第5の電位を第5の電源線に供給する第2の昇圧回路と、

前記第1、第4及び第5の電源線に接続され、前記第1、第4及び第5の電位の差により複数の電位を生成する多値電位生成回路と、

を含むことを特徴とする電源回路。

【請求項2】 請求項1において、

前記多値電位生成回路は、液晶装置に対して供給される複数の電位のセンター電位として、前記第4の電位を供給することを特徴とする電源回路。

【請求項3】 請求項1又は2において、

前記第1及び第2の昇圧回路の少なくとも一方は、

昇圧された電位が供給される昇圧電源線と、接続された2つの電源線のうち低電位側の電源線との間に直列接続された第1～第4のスイッチ回路と、

前記昇圧電源線に接続された第1のスイッチ回路に前記第2のスイッチ回路が接続され、前記第2のスイッチ回路に前記第3のスイッチ回路が接続され、前記第3のスイッチ回路と前記低電位を供給する電源線との間に前記第4のスイッチ回路が接続されている場合に、前記第2及び第3のスイッチ回路と並列に接続されたキャパシタと、

前記第1及び第3のスイッチ回路と、前記第2及び第4のスイッチ回路とが交互にオンとなるように前記第1～第4のスイッチ回路の駆動信号を生成するタイ

ミング信号生成回路とを含むチャージポンプ回路

であることを特徴とする電源回路。

【請求項4】 請求項3において、

前記第1～第4のスイッチ回路は、前記第1の電源線に接続された第1の導電型ウェルと、前記5の電源線に接続された第2の導電型のウェルとからなるツインウェル構造で構成されていることを特徴とする電源回路。

【請求項5】 請求項1乃至4のいずれかにおいて、

前記多値電位生成回路は、

前記第1及び第4の電位の差を抵抗分割する第1の分圧回路と、

前記第4及び第5の電位の差を抵抗分割する第2の分圧回路と、

前記第1の分圧回路によって抵抗分割された電位に接続された、ボルテージフォロワ接続された第1の演算増幅回路と、

前記第2の分圧回路によって抵抗分割された電位に接続された、ボルテージフォロワ接続された第2の演算増幅回路と、

を含むことを特徴とする電源回路。

【請求項6】 請求項1乃至4のいずれかにおいて、

前記多値電位生成回路は、

前記第1及び第4の電位の差が抵抗分割された電位に接続され、第6の電位を供給するボルテージフォロワ接続された第1の演算増幅回路と、

前記第4及び第5の電位の差が抵抗分割された電位に接続され、第7の電位を供給するボルテージフォロワ接続された第2の演算増幅回路と、

前記第4及び第6の電位の差に基づいて降圧した第8の電位を生成する第1の降圧回路と、

前記第4及び第7の電位の差に基づいて降圧した第9の電位を生成する第2の降圧回路と

を含むことを特徴とする電源回路。

【請求項7】 請求項1乃至4のいずれかにおいて、

前記多値電位生成回路は、

前記第1及び第4の電位の差、または第4及び第5の電位の差が抵抗分割され

た電位に接続され、第6の電位を供給するボルテージフォロワ接続された第1の演算增幅回路と、

前記第4及び第6の電位の差に基づいて前記第4の電位方向に昇圧した第7の電位を生成する第3の昇圧回路と、

前記第4及び第6の電位の差に基づいて降圧した第8の電位を生成する第1の降圧回路と、

前記第4及び第7の電位の差に基づいて降圧した第9の電位を生成する第2の降圧回路と

を含むことを特徴とする電源回路。

【請求項8】 請求項5乃至7のいずれかにおいて、

前記第1又は第2の演算增幅回路は、

ゲートに第1の差動出力、ソースに前記第2の電位が供給される第1導電型トランジスタと、

ゲートに第2の差動出力、ソースに前記第1の電位が供給され、ドレインに前記第1導電型トランジスタのドレインが接続された第2導電型トランジスタと、

前記抵抗分割された電位と、前記第1又は第2導電型トランジスタのドレインの電位との電位差に基づいて、前記第1の差動出力を生成する第1導電型の差動增幅回路と、

前記抵抗分割された電位と、前記第1又は第2導電型トランジスタのドレインの電位との電位差に基づいて、前記第2の差動出力を生成する第2導電型の差動增幅回路と、

前記第2の差動出力に基づいて、前記第1導電型の差動增幅回路の定電流値を制御する第1の電流制御回路と、

前記第1の差動出力に基づいて、前記第2導電型の差動增幅回路の定電流値を制御する第2の電流制御回路と、

を含むことを特徴とする電源回路。

【請求項9】 請求項8において、

前記第1及び第2導電型の差動增幅回路は、互いに異なる能力のトランジスタのゲートに前記抵抗分割された電位と前記第1又は第2導電型トランジスタのド

レインの電位が供給されることを特徴とする電源回路。

【請求項10】 ゲートに第1の差動出力、ソースに前記第2の電位が供給される第1導電型トランジスタと、

ゲートに第2の差動出力、ソースに前記第1の電位が供給され、ドレインに前記第1導電型トランジスタのドレインが接続された第2導電型トランジスタと、

所与の差動入力電位と、前記第1又は第2導電型トランジスタのドレインの電位との電位差に基づいて、前記第1の差動出力を生成する第1導電型の差動増幅回路と、

所与の差動入力電位と、前記第1又は第2導電型トランジスタのドレインの電位との電位差に基づいて、前記第2の差動出力を生成する第2導電型の差動増幅回路と、

前記第2の差動出力に基づいて、前記第1導電型の差動増幅回路の定電流値を制御する第1の電流制御回路と、

前記第1の差動出力に基づいて、前記第2導電型の差動増幅回路の定電流値を制御する第2の電流制御回路と、

を含むことを特徴とする演算増幅回路。

【請求項11】 請求項10において、

前記第1及び第2導電型の差動増幅回路は、互いに異なる能力のトランジスタのゲートに前記所与の差動入力電位と前記第1又は第2導電型トランジスタのドレインの電位が供給されることを特徴とする演算増幅回路。

【請求項12】 所与の電位を分圧する分圧回路と、

前記分圧回路によって分圧された電位を前記所与の差動入力電位として供給される請求項10又は11記載の演算増幅回路と、

を含むことを特徴とする電源回路。

【請求項13】 請求項1乃至9及び12のいずれか記載の電源回路と、複数の走査電極と複数の信号電極が交差配置された液晶パネルと、

前記電源回路から電源供給を受けて前記走査電極を駆動する走査電極駆動回路と、

前記電源回路から電源供給を受けて前記信号電極を駆動する信号電極駆動回路

と、

を含むことを特徴とする液晶装置。

【請求項14】 請求項13に記載の液晶装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶駆動用電位の生成に好適な電源回路並びにそれを用いた液晶装置及び電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

近年の携帯電話、携帯情報端末またはゲーム装置などの電子機器に組み込まれる液晶装置は、低価格化及び低消費電力化などが強く要求されている。単純マトリックス型の液晶装置の場合、複数ライン選択（Multi Line Selection：以下、MLSと略す。）駆動法により、これら要求を満足させることができる。

【0003】

MLS駆動法は、同時に複数ラインの走査電極を選択し、1フレームを構成する各フィールドにおいて、所与の直交関係を有し選択パターンに対応した電位が各走査電極に印加される。各信号電極についても、オン・オフする画素パターンと、上述した走査電極の選択パターンに応じた電位が印加される。こうすることで、印加すべき電位レベルを高くすることなく、各電極に印加される電圧値の実効値を必要な値に設定することができる。

【0004】

MLS駆動法により液晶装置を表示駆動する場合、次に（1）式にしたがって行うことが最適であることが知られている。

【0005】

$$L = (1/a - 1)^2 \quad \dots \quad (1)$$

ここで、Lは表示ライン数である。また、aはバイアス比である。このバイアス比は、液晶がオンのときに印加される実効値電圧と、オフの時に印加される実

効値電圧との比をいう。例えば、バイアス比が1/5の場合、最適な表示ライン数は16ラインであることを意味する。

【0006】

ところで、最近では液晶装置のパネルが大きくなり、それに伴いライン数が増大している。したがって、(1)式により最適とされるバイアス比を得るために、液晶駆動に必要な電位レベル数も増える傾向にある。

【0007】

しかしながら、MLS駆動法では、センター電位VCを基準に、走査電極及び信号電極に印加すべき電位レベルが決められる。したがって、低コスト化が可能なツインウェルのプロセスを使用した場合、センター電位VCを接地レベルVSとするとき、それ以下の電位レベルを生成するために外付け部品が多数必要となって、装置の高コスト化や実装上の問題が発生する。

【0008】

一方、センター電位VCを正側にもってみると、最高電位レベルが、使用するプロセスの高耐圧性の範囲内であることが必要とされ、将来の多電位レベル化に対応することができなくなる。

【0009】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、低成本で、多電位レベル化に対応可能な液晶駆動用電位の生成に好適な電源回路並びにそれを用いた液晶装置及び電子機器を提供することになる。

【0010】

【課題を解決するための手段】

上記課題を解決するために本発明は、複数の電位を生成する電源回路であって、第1及び第2の電位を供給する第1及び第2の電源線に接続され、前記第1及び第2の電位の差に基づいて昇圧した第3の電位を第3の電源線に供給する第1の昇圧回路と、前記第1及び第3の電源線に接続され、前記第1及び第3の電位の差に基づいて生成した定電位である第4の電位を第4の電源線に供給する電位調整回路と、前記第1及び第4の電源線に接続され、前記第1及び第4の電位の

差に基づいて昇圧した第5の電位を第5の電源線に供給する第2の昇圧回路と、前記第1、第4及び第5の電源線に接続され、前記第1、第4及び第5の電位の差により複数の電位を生成する多値電位生成回路とを含むことを特徴とする。

【0011】

本発明によれば、第1の昇圧回路により、第1の電位（例えば、接地レベルVSS）と第2の電位（例えば、電源レベルVDD）との電位差に基づいて、第3の電位（例えば、第1の昇圧電位レベルVOUT）を生成し、電位調整回路により第1及び第3の電位差に基づいて第4の電位（例えば、センター電位VC）を生成するようにした。そして、第2の昇圧回路により、第1及び第4の電位差に基づいて、第5の電位（例えば、電位レベルV3）を昇圧して生成し、多値電位生成回路で複数の電位レベルを生成するようにした。これにより、第1の電位より、一方の側（正側、若しくは負側）の電位のみを使用することができるので、従来のような複数の電位を生成するために、外付け部品を必要とせず、装置の低コスト化を実現し、なおかつ実装上の問題が発生しない。また、電位調整回路においては、第5の電位に対する高耐圧性が必要とされず、信頼性の低下を回避して、将来の多電位化にも十分対応することができるようになる。

【0012】

また本発明は、前記多値電位生成回路は、液晶装置に対して供給される複数の電位のセンター電位として、前記第4の電位を供給することを特徴とする。

【0013】

ここで、液晶装置としては、例えばMLS駆動法により表示駆動される単純マトリックス型の液晶パネルを含むものがある。

【0014】

本発明によれば、このような液晶装置に対して供給される複数の電位のセンター電位として、第1の電位を基準に、第1の電位より生成した一方の側の第4の電位を供給するようにしたので、例えばMLS駆動法により表示駆動される単純マトリックス型の液晶パネルを含む液晶装置に対して多電位の電源を供給する電源回路として適用することができる。これは、上述したように液晶装置に必要とされる電源レベル数が増加した場合にも、低コスト化及び高信頼性を維持できる

電源回路を提供することができることを意味する。

【0015】

また本発明は、前記第1及び第2の昇圧回路の少なくとも一方は、昇圧された電位が供給される電源線と、接続された2つの電源線のうち低電位側の電源線との間に直列接続された第1～第4のスイッチ回路と、前記昇圧電源線に接続された第1のスイッチ回路に前記第2のスイッチ回路が接続され、前記第2のスイッチ回路に前記第3のスイッチ回路が接続され、前記第3のスイッチ回路と前記低電位を供給する電源線との間に前記第4のスイッチ回路が接続されている場合に、前記第2及び第3のスイッチ回路と並列に接続されたキャパシタと、前記第1及び第3のスイッチ回路と、前記第2及び第4のスイッチ回路とが交互にオンとなるように前記第1～第4のスイッチ回路の駆動信号を生成するタイミング信号生成回路とを含むチャージポンプ回路であることを特徴とする。

【0016】

ここで、第1のスイッチ回路を、昇圧電源線に接続されたものとしているが、接続される2つの電源線のうち低電位を供給する電源線に接続されるものであっても良い。要は、4つ直列接続されたスイッチ回路について、順に第1のスイッチ回路、第2のスイッチ回路、・・・とした場合に、その第2及び第3のスイッチ回路と並列にキャパシタを接続するようにすればよい。

【0017】

このとき、例えば昇圧電源線に接続された第1のスイッチ回路と第3のスイッチ回路がオンで、第2及び第4のスイッチ回路がオフの第1のタイミングでは、昇圧電源線からの経路は、第1のスイッチ回路、キャパシタ、第3のスイッチ回路、接続される高電位の電源線となる。したがって、キャパシタは、昇圧電源線の電位と、上述した高電位の電源線の電位との差が印加される。

【0018】

次に、第1のスイッチ回路と第3のスイッチ回路がオフで、第2及び第4のスイッチ回路がオンの第2のタイミングでは、上述した高電位の電源線、第2のスイッチ回路、キャパシタ、第4のスイッチ回路、低電位の電源線という経路が形成される。この結果、キャパシタには、高電位の電源線の電位と、低電位の電源

線の電位との差が印加されることになる。

【0019】

したがって、低電位の電源線を基準にすると、高電位の電源線の電位と、低電位の電源線の電位との差と、昇圧電源線の電位と、上述した高電位の電源線の電位との差との和が昇圧電位として生成されることになる。

【0020】

このように本発明によれば、スイッチ回路のみによって、消費電流を削減することができる。したがって、電源回路の低消費電力化に貢献することができる。

【0021】

また本発明は、前記第1～第4のスイッチ回路は、前記第1の電源線に接続された第1の導電型ウェルと、前記5の電源線に接続された第2の導電型のウェルとからなるツインウェル構造で構成されていることを特徴とする。

【0022】

本発明によれば、安価なプロセスを用いることができるので、電源回路のコスト化を図ることができる。

【0023】

また本発明は、前記多値電位生成回路は、前記第1及び第4の電位の差を抵抗分割する第1の分圧回路と、前記第4及び第5の電位の差を抵抗分割する第2の分圧回路と、前記第1の分圧回路によって抵抗分割された電位に接続された、ボルテージフォロワ接続された第1の演算增幅回路と、前記第2の分圧回路によって抵抗分割された電位に接続された、ボルテージフォロワ接続された第2の演算增幅回路とを含むことを特徴とする。

【0024】

本発明によれば、多値電位生成回路として抵抗分割した電位を、ボルテージフォロワ接続された演算增幅回路により、抵抗分割電位を供給するようにしたので、負荷の変動に伴う電位の変動を回避し、安定した電位供給が可能な電源回路を提供することができる。

【0025】

また本発明は、前記多値電位生成回路は、前記第1及び第4の電位の差が抵抗

分割された電位に接続され、第6の電位を供給するボルテージフォロワ接続された第1の演算增幅回路と、前記第4及び第5の電位の差が抵抗分割された電位に接続され、第7の電位を供給するボルテージフォロワ接続された第2の演算增幅回路と、前記第4及び第6の電位の差に基づいて降圧した第8の電位を生成する第1の降圧回路と、前記第4及び第7の電位の差に基づいて降圧した第9の電位を生成する第2の降圧回路とを含むことを特徴とする。

【0026】

本発明によれば、第1及び第4の電位の差が抵抗分割された電位にボルテージフォロワ接続された第1の演算增幅回路を接続して第6の電位を供給し、第4及び第5の電位の差が抵抗分割された電位にボルテージフォロワ接続された第2の演算增幅回路を接続して第7の電位を供給する。そして、第1及び第2の降圧回路により、それぞれ第4及び第6の電位の差に基づいて第8の電位、第4及び第7の電位の差に基づいて第9の電位を生成するようにしたので、供給電位ごとに電流消費の大きい演算增幅回路を用いる必要が無くなり、低消費電力化を図ることができる。

【0027】

また本発明は、前記多値電位生成回路は、前記第1及び第4の電位の差、または第4及び第5の電位の差が抵抗分割された電位に接続され、第6の電位を供給するボルテージフォロワ接続された第1の演算增幅回路と、前記第4及び第6の電位の差に基づいて前記第4の電位方向に昇圧した第7の電位を生成する第3の昇圧回路と、前記第4及び第6の電位の差に基づいて降圧した第8の電位を生成する第1の降圧回路と、前記第4及び第7の電位の差に基づいて降圧した第9の電位を生成する第2の降圧回路とを含むことを特徴とする。

【0028】

ここで、第4の電位方向に昇圧するとは、例えば第4の電位と第6の電位を比較して、第4の電位が高い場合には第6の電位を基準に第4及び第6の電位の差を昇圧することをいい、第4の電位が低い場合には、第4の電位を基準に第6及び第6の電位の差を昇圧することをいう。

【0029】

本発明によれば、第1の演算增幅回路により、第1及び第4の電位の差、または第4及び第5の電位の差を抵抗分割して、第6の電位を供給する。そして、第3の昇圧回路により、第4及び第6の電位の差に基づいて第4の電位方向に昇圧した第7の電位を生成するようにした。そして、第1及び第2の降圧回路により、第4及び第6の電位の差、第4及び第7の電位の差に基づいて、第8及び第9の電位を降圧して生成するようにした。これにより、さらに演算增幅回路の数を削減することができるので、より効果的な低消費電力化が可能となる。

【0030】

また本発明は、前記第1又は第2の演算增幅回路は、ゲートに第1の差動出力、ソースに前記第2の電位が供給される第1導電型トランジスタと、ゲートに第2の差動出力、ソースに前記第1の電位が供給され、ドレインに前記第1導電型トランジスタのドレインが接続された第2導電型トランジスタと、前記抵抗分割された電位と、前記第1又は第2導電型トランジスタのドレインの電位との電位差に基づいて、前記第1の差動出力を生成する第1導電型の差動増幅回路と、前記抵抗分割された電位と、前記第1又は第2導電型トランジスタのドレインの電位との電位差に基づいて、前記第2の差動出力を生成する第2導電型の差動増幅回路と、前記第2の差動出力に基づいて、前記第1導電型の差動増幅回路の定電流値を制御する第1の電流制御回路と、前記第1の差動出力に基づいて、前記第2導電型の差動増幅回路の定電流値を制御する第2の電流制御回路とを含むことを特徴とする。

【0031】

本発明によれば、第1の電流制御回路は、第2の差動増幅回路の差動出力に基づいて第1導電型の差動増幅回路の定電流値の大きさを制御することによって第1導電型トランジスタのゲート電圧を制御することができる。また、第2の電流制御回路は、第1の差動増幅回路の差動出力に基づいて第2導電型の差動増幅回路の定電流値の大きさを制御することによって第2導電型トランジスタのゲート電圧を制御することができる。これにより、第1及び第2導電型トランジスタの動作を早めることができ、結果として演算増幅回路の出力電位を安定状態に向けて、速やかに変化させることができる。

【0032】

この場合、第1及び第2の差動増幅回路の定電流値をできるだけ小さい値にしておいて、必要な安定出力時にのみ最適な値の電流を供給することによって、演算増幅回路の低消費電力化をも実現することができる。

【0033】

また本発明は、前記第1及び第2導電型の差動増幅回路は、互いに異なる能力のトランジスタのゲートに前記抵抗分割された電位と前記第1又は第2導電型トランジスタのドレインの電位が供給されることを特徴とする。

【0034】

本発明によれば、電流駆動能力の高いトランジスタと、電流駆動能力の低いトランジスタには同一電流が流れて、差動出力の電位が変動することになるため、第1又は第2導電型トランジスタのゲート-ソース間電圧が低くすることができ、その結果電流消費を低減することができるようになる。

【0035】

また本発明に係る演算増幅回路は、ゲートに第1の差動出力、ソースに前記第2の電位が供給される第1導電型トランジスタと、ゲートに第2の差動出力、ソースに前記第1の電位が供給され、ドレインに前記第1導電型トランジスタのドレインが接続された第2導電型トランジスタと、所与の差動入力電位と、前記第1又は第2導電型トランジスタのドレインの電位との電位差に基づいて、前記第1の差動出力を生成する第1導電型の差動増幅回路と、所与の差動入力電位と、前記第1又は第2導電型トランジスタのドレインの電位との電位差に基づいて、前記第2の差動出力を生成する第2導電型の差動増幅回路と、前記第2の差動出力に基づいて、前記第1導電型の差動増幅回路の定電流値を制御する第1の電流制御回路と、前記第1の差動出力に基づいて、前記第2導電型の差動増幅回路の定電流値を制御する第2の電流制御回路とを含むことを特徴とする。

【0036】

本発明によれば、第1の電流制御回路は、第2の差動増幅回路の差動出力に基づいて第1導電型の差動増幅回路の定電流値の大きさを制御することによって第1導電型トランジスタのゲート電圧を制御することができる。また、第2の電流

制御回路は、第1の差動増幅回路の差動出力に基づいて第2導電型の差動増幅回路の定電流値の大きさを制御することによって第2導電型トランジスタのゲート電圧を制御することができる。これにより、第1及び第2導電型トランジスタの動作を早めることができ、結果として演算増幅回路の出力電位を安定状態に向けて、速やかに変化させることができる。

【0037】

この場合、第1及び第2の差動増幅回路の定電流値をできるだけ小さい値にしておいて、必要な安定出力時にのみ最適な値の電流を供給することによって、演算増幅回路の低消費電力化をも実現することができる。

【0038】

また本発明は、前記第1及び第2導電型の差動増幅回路は、互いに異なる能力のトランジスタのゲートに前記所与の差動入力電位と前記第1又は第2導電型トランジスタのドレインの電位が供給されることを特徴とする。

【0039】

本発明によれば、電流駆動能力の高いトランジスタと、電流駆動能力の低いトランジスタには同一電流が流れて、差動出力の電位が変動することになるため、第1又は第2導電型トランジスタのゲート-ソース間電圧が低くすることができ、その結果電流消費を低減することができるようになる。

【0040】

また本発明に係る電源回路は、所与の電位を分圧する分圧回路と、前記分圧回路によって分圧された電位を前記所与の差動入力電位として供給される上記記載の演算増幅回路とを含むことを特徴とする。

【0041】

本発明によれば、出力負荷に影響されずに安定した電位の出力が可能であって、低消費電力化が可能な電源回路を提供することができる。

【0042】

また本発明に係る液晶装置は、上記いずれか記載の電源回路と、複数の走査電極と複数の信号電極が交差配置された液晶パネルと、前記電源回路から電源供給を受けて前記走査電極を駆動する走査電極駆動回路と、前記電源回路から電源供

給を受けて前記信号電極を駆動する信号電極駆動回路とを含むことを特徴とする。

【0043】

また本発明に係る電子機器は、上記記載の液晶装置を含むことを特徴とする。

【0044】

本発明に係る液晶装置及び電子機器は、上述した電源回路を備え、この液晶装置での消費電力が低減されるので、特に携帯用の電子機器に有用である。

【0045】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

【0046】

1. 液晶装置

図1に、本実施形態における電源回路が適用された液晶装置の構成要部を示す。

【0047】

この液晶装置2は、単純マトリックス型の液晶パネル4を含む。この液晶パネル4は、走査電極C0～Cmが形成された第1の基板と、信号電極S0～Snが形成された第2の基板との間に、液晶が封止されている。走査電極の1本と信号電極の1本とが交差する交点が表示画素となり、液晶パネル4には $(m+1) \times (n+1)$ の表示画素が存在する。

【0048】

なお、走査電極をコモン電極、信号電極をセグメント電極と称される場合、走査電極駆動回路をコモンドライバ、信号電極駆動回路をセグメントドライバと称する場合もある。また、本実施形態における液晶パネル4は、単純マトリックス型に代えて、アクティブマトリックス型などの他の液晶パネルを用いることもできる。

【0049】

このような液晶パネル4に形成された走査電極C0～Cmは、走査電極駆動回路6によって所定の電位が印加される。また、液晶パネル4に形成された信号電

極S0～Snは、信号電極駆動回路8によって所定の電位が印加される。

【0050】

走査電極駆動回路6及び信号電極駆動回路8は、電源回路10から上述した電位が供給されると共に、駆動制御回路9からの信号に基づいて、その所定の電位を走査電極C0～Cmまたは信号電極S0～Snに選択的に供給する。

【0051】

本実施形態における液晶装置2は、同時選択ライン数が4であるMLS駆動法により、表示駆動すべき画素パターンに応じた駆動制御回路9から信号に基づいて表示駆動される。そのため、本実施形態における電源回路10は、走査電極C0～Cm、信号電極S0～Snに対して供給すべき電位レベルとして、センター電位VCを基準とした複数の電位レベルを生成する。これら電位レベルは、基板レベルである接地レベルVSSをMV3として正側に生成された電位レベルであって、計7電位レベル(V3、V2、V1、VC、MV1、MV2、MV3)である。

【0052】

図2に、図1に示す液晶パネル4における駆動波形の一例を示す。

【0053】

ここでは、信号電極S1と、走査電極C0～C3の駆動波形を示す。また、1フレームを4フィールドに分割し、信号電極は8ライン分(各フィールド2クロック分)のみ表示して後は省略している。

【0054】

各走査電極C0～C3には、走査電極駆動回路6によって、図2の駆動波形で示されるパターンの電位が供給される。また、各信号電極S1には、信号電極駆動回路8によって、図2の駆動波形で示されるパターンの電位が供給される。このように、同時選択4ラインのMLS駆動法により、走査電極C0～C3の駆動電位として、液晶駆動用電位V3、VC、MV3の3レベルが用いられる。同様に、信号電極S1の駆動電位として、液晶駆動用電位V2、V1、VC、MV1、MV2の5レベルが用いられる。

【0055】

液晶パネル4の各画素は、交差する走査電極と信号電極との電位差の1フレーム期間における実効値により、オン・オフされる。図2では、信号電極S1が、走査電極C0～C2とが交差する画素がオン、走査電極C3と交差する画素がオフの場合の駆動波形例を示している。

【0056】

2. 電源回路

図3に、図1に示す本実施形態における電源回路の構成の概要を示す。

【0057】

本実施形態における電源回路10は、第1の昇圧回路12、電位調整手段としてのレギュレータ回路14、第2の昇圧回路16、多値電位生成回路18を含む。

【0058】

図4に、図3に示した電源回路の動作を模式的に示す。

【0059】

本実施形態における電源回路10の第1の昇圧回路12は、電源レベルVDDが供給される電源電位供給線20と、接地レベルVSSが供給される接地電位供給線22と、第1の電位供給線24とが接続される。第1の昇圧回路12は、接地レベルVSSを基準として、電源レベルVDDを昇圧した第1の昇圧電位レベルVOUTを第1の電位供給線24に供給する。

【0060】

レギュレータ回路（広義には、電位調整手段）14は、接地電位供給線22と第1の電位供給線24と、第2の電位供給線26とが接続される。レギュレータ回路14は、接地レベルVSSを基準に、参照電位レベルVrefを参照して、第1の昇圧回路12から供給される第1の昇圧電位レベルVOUTを調整したセンター電位VCを、第2の電位供給線26に供給する。より具体的には、レギュレータ回路14は、第1の昇圧電位レベルVOUTから、これより低電位レベルであって、調整可能な一定電位レベルであるセンター電位VCを生成する。

【0061】

第2の昇圧回路16は、接地電位供給線22と、第2の電位供給線26と、第

1の液晶駆動用電位供給線28とが接続される。第2の昇圧回路16は、接地レベルVSSを基準として、レギュレータ回路14によって調整されたセンター電位VCを昇圧した電位レベルV3を、第1の液晶駆動用電位供給線28に供給する。また、第2の昇圧回路16は、センター電位供給線30を介して、センター電位VCをそのまま多値電位生成回路18に供給する。

【0062】

多値電位生成回路18は、接地電位供給線22と、センター電位供給線30と、第1～第5の液晶駆動用電位供給線28、32、34、36、38とが接続される。多値電位生成回路18は、接地レベルVSSを基準として、第2の昇圧回路16からの電位レベルV3とセンター電位VCとの電位差から生成した電位レベルV2、V1、MV1、MV2を、それぞれ第2～第5の液晶駆動用電位供給線32、34、36、38に供給する。これら電位レベルV2、V1、MV1、MV2は、MLS駆動法により表示駆動される液晶装置のパネルの表示ライン数に応じて決められるバイアス比に対応した電位レベルである。多値電位生成回路18は、例えば図4に示すように、電位レベルV3とセンター電位VCとの電位差、センター電位VCと接地レベルVSS (MV3) を分圧、若しくは降圧することで各電位レベルを生成する。

【0063】

こうすることで、本実施形態における電源回路は、7電位レベル (V3、V2、V1、VC、MV1、MV2、MV3) を生成する。

【0064】

したがって、低コスト化が可能なツインウェルのプロセスを使用した場合であっても、外付け部品を必要とせず、装置の低コスト化を実現し、なおかつ実装上の問題が発生しない。また、レギュレータ回路14においては、電位レベルV3に対する高耐圧性が必要とされず、信頼性の低下を回避して、将来の多電位レベル化にも十分対応することができるようになる。

【0065】

以下では、本実施形態における電源回路の構成要部について具体的に説明する。

【0066】

2. 1 第1の昇圧回路

図5に、本実施形態における第1の昇圧回路の構成の一例を示す。

【0067】

本実施形態における第1の昇圧回路12は、2倍昇圧を行って、液晶装置に供給されるべきセンター電位VCより高い電位レベルを生成するチャージポンプ回路である。

【0068】

より具体的には、第1の昇圧回路12は、第1の電位供給線24と、接地電位供給線22との間に直列接続されている第1～第4のスイッチ回路42₁～42₄と、第1～第4のスイッチ回路42₁～42₄をオン・オフ駆動する第1のスイッチ駆動回路44とを含む。ここで、第1の昇圧回路12に、第1のスイッチ駆動回路44を含めているが、これに限定されるものではなく、第1のスイッチ駆動回路44により生成される各スイッチ駆動信号が、外部から第1～第4のスイッチ回路42₁～42₄に供給されるようにしても良い。

【0069】

第1～第4のスイッチ回路42₁～42₄の接続点をそれぞれND₁～ND₃とすると、第1の昇圧回路12は、ND₁とND₃との間に接続されたキャパシタ46と、第1の電位供給線24とND₂との間に接続されたキャパシタ48₁と、ND₂と接地電位供給線22との間に接続されたキャパシタ48₂とを含む。

【0070】

第1のスイッチ駆動回路44は、第1及び第3のスイッチ回路42₁、42₃をオンさせる期間と、第2及び第4のスイッチ回路42₂、42₄をオンさせる期間とが交互に繰り返されるように、第1～第4のスイッチ回路42₁～42₄を駆動する。

【0071】

ここで、図5に示す第1～第3のスイッチ回路42₁～42₃がp型（第1の導電型）の金属酸化膜半導体（Metal Oxide Semiconductor: MOS）トランジスタ（以下、単にトランジスタと略す。）、接地レベルVSSに接続される第4の

スイッチ回路42₄がn型(第2の導電型)のトランジスタであるものとして説明するが、これに限定されるものではなく、スイッチ機能を有する任意の回路を適用することができる。

【0072】

図6に、第1のスイッチ駆動回路44によって生成される各スイッチ駆動信号の一例を示す。

【0073】

第1のスイッチ回路42₁のp型トランジスタのゲート電極に供給されるスイッチ駆動信号をXB2、第2のスイッチ回路42₂のp型トランジスタのゲート電極に供給されるスイッチ駆動信号をXA2、第3のスイッチ回路42₃のp型トランジスタのゲート電極に供給されるスイッチ駆動信号をXB2、第4のスイッチ回路42₄のn型トランジスタのゲート電極に供給されるスイッチ駆動信号をAとする。

【0074】

各スイッチ駆動信号は、互いに接続されているスイッチ回路が同時にオンとならないように、非重複期間が設けられている。これにより、第1の電位供給線24から接地電位供給線22までの貫通経路を遮断して、消費電流を削減する。

【0075】

図6に示す第1のタイミングでは、第1及び第3のスイッチ回路42₁、42₃がオフ、第2及び第4のスイッチ回路42₂、42₄がオンとなる。したがって、第1の電位供給線24とND₂との間に接続されたキャパシタ48₁と、ND₂と接地電位供給線22との間に並列接続されたキャパシタ46、48₂とが、直列に接続された状態となる。

【0076】

一方、図6に示す第2のタイミングでは、第1及び第3のスイッチ回路42₁、42₃がオン、第2及び第4のスイッチ回路42₂、42₄がオフとなる。したがって、第1の電位供給線24とND₂との間に並列接続されたキャパシタ46、48₁と、接地電位供給線22とND₂との間に接続されたキャパシタ48₂とが、直列に接続された状態となる。

【0077】

このように、第1のスイッチ駆動回路44による第1～第4のスイッチ回路4₂₁～4₂₄のスイッチング動作によって、キャパシタ46は、キャパシタ48₁、48₂の双方に対して、直列接続と並列接続とが交互に繰り返されることになる。これによって、キャパシタ46、48₁、48₂のそれぞれの両端に印加される電圧値が等しくなるように、キャパシタ46、48₁、48₂に蓄積される電荷が安定する。

【0078】

したがって、ND₂を電源レベルVDDに固定することによって、第1の電位供給線24に供給される第1の昇圧電位レベルVOUTは、接地レベルVSSを基準として、電源レベルVDDの2倍の電位となる。

【0079】

このようなチャージポンプ回路によれば、キャパシタ46、48₁、48₂により、第1～第4のスイッチ回路4₂₁～4₂₄のスイッチング電流のみとなって、消費電流を削減することができる。また、キャパシタ46、48₁、48₂の容量値にかかわらず、上述したスイッチング動作によって精度良く電源レベルVDDの2倍に昇圧することができるようになる。

【0080】

ここでは、2倍昇圧を行うチャージポンプ回路について説明したが、これに限定されるものではない。本実施形態における第1の昇圧回路12としては、チャージポンプ回路の適用が好ましいが、液晶装置に供給されるべきセンター電位VCより高い電位レベルの第1の昇圧電位レベルVOUTを生成することができればよい。

【0081】

また、精度が要求されない場合、図5に示した第1の昇圧回路12では、キャパシタ48₁、48₂を削除するようにしても、同様の2倍昇圧を行うことができる。

【0082】

2. 2 レギュレータ回路

図7に、本実施形態におけるレギュレータ回路の構成の一例を示す。

【0083】

本実施形態におけるレギュレータ回路14は、p型（第1導電型）差動増幅回路を含む。

【0084】

より具体的には、第1の電位供給線24にソースが接続され、互いにゲート電極同士が接続されたp型トランジスタ50、52と、p型トランジスタ50、52のドレインとそのドレインが接続されたn型トランジスタ54、56を含む。p型トランジスタ50、52のゲート電極は、p型トランジスタ52のドレインと接続され、両トランジスタによりカレントミラー回路が構成される。n型トランジスタ54のゲート電極には、参照電位レベルVrefが供給される。n型トランジスタ54、56のソースには、ゲート電極に定電圧が印加されたn型トランジスタ58のドレインが接続される。このn型トランジスタ58のソースは、接地電位供給線22に接続される。すなわち、n型トランジスタ58は、センター電位VCと接地レベルVSSとの間の電位差に対応した電流源となる。

【0085】

p型トランジスタ50のドレインとn型トランジスタ54のドレインとの接続点は、ソースが第1の電位供給線24に接続されたp型トランジスタ60のゲート電極と、発振防止用のキャパシタ62を介して第2の電位供給線26とに接続される。p型トランジスタ60のドレインは、第2の電位供給線26に接続される。

【0086】

第2の電位供給線26は、ゲート電極に定電圧が印加されたn型トランジスタ64のドレインが接続される。このn型トランジスタ64のソースは、接地電位供給線22に接続される。すなわち、n型トランジスタ64は、センター電位VCと接地レベルVSSとの間の電位差に対応した電流源となる。

【0087】

また、第2の電位供給線26は、接地電位供給線22との間に、任意の比で抵抗分割可能な抵抗素子66が接続され、その抵抗分割電位はn型トランジスタ5

6のゲート電極に印加されるようになっている。

【0088】

このようなフィードバック構成により、まずp型トランジスタ54、56における参照電位レベル V_{ref} と抵抗分割電位レベルとの差分に対応した電位が、p型トランジスタ60のゲート電極に印加されることになる。

【0089】

ここで、抵抗分割電位レベルが、参照電位レベル V_{ref} より高くなると、これら電位レベルの差分が増幅され、p型トランジスタ60のゲート電極の電位が上昇する。したがって、p型トランジスタ60の電流供給能力が減少する。その結果、センター電位 V_C が低くなり、抵抗分割電位も下降する。

【0090】

一方、抵抗分割電位レベルが、参照電位レベル V_{ref} より低くなると、これら電位レベルの差分が増幅され、p型トランジスタ60のゲート電極電位が下降する。したがって、p型トランジスタ60の電流供給能力が上昇する。その結果、センター電位 V_C が高くなり、抵抗分割電位も上昇する。

【0091】

以上より、レギュレータ回路14は、参照電位レベル V_{ref} と抵抗分割電位とが同等になるようにセンター電位 V_C を生成する。この場合、第2の電位供給線26に接続される負荷が変化した場合であっても、センター電位 V_C を生成することができる。しかも、抵抗素子66において、抵抗分割電位のレベルを変更することにより、センター電位 V_C を変更することができる。

【0092】

2. 3 第2の昇圧回路

2. 3. 1 構成例

図8に、本実施形態における第2の昇圧回路と多値電位生成回路の構成の一例を示す。

【0093】

本実施形態における第2の昇圧回路16は、接地レベル V_{SS} を基準に、センター電位 V_C の2倍昇圧を行うチャージポンプ回路である。

【0094】

より具体的には、第2の昇圧回路16は、第1の液晶駆動用電位供給線28と、接地電位供給線22との間に直列接続されている第5～第8のスイッチ回路4₂₅～4₂₈と、第5～第8のスイッチ回路4₂₅～4₂₈をオン・オフ駆動する第2のスイッチ駆動回路70とを含む。ここで、第2の昇圧回路16に第2のスイッチ駆動回路70に含めているが、これに限定されるものではなく、第2のスイッチ駆動回路70により生成される各スイッチ駆動信号が、外部から第5～第8のスイッチ回路4₂₅～4₂₈に供給されるようにしても良い。

【0095】

第5～第8のスイッチ回路4₂₅～4₂₈の接続点をそれぞれND₄～ND₆とすると、第2の昇圧回路16は、ND₄とND₆との間に接続されたキャパシタ72を含む。

【0096】

第2のスイッチ駆動回路70は、図5に示した第1のスイッチ駆動回路44と同様に、第5及び第7のスイッチ回路4₂₅、4₂₇をオンさせる期間と、第6及び第8のスイッチ回路4₂₆、4₂₈をオンさせる期間とが交互に繰り返されるように、第5～第8のスイッチ回路4₂₅～4₂₈を駆動する。

【0097】

なお、図8において、図5と同様に、第5～第7のスイッチ回路4₂₅～4₂₇がp型（第1の導電型）のトランジスタ、接地レベルVSSに接続される第8のスイッチ回路4₂₈がn型（第2の導電型）のトランジスタであるものとするが、これに限定されるものではなく、スイッチ機能を有する任意の回路を適用することができる。

【0098】

また、第2のスイッチ駆動回路70によって生成される各スイッチ駆動信号は、図6に示す第1のスイッチ駆動回路44によって生成される各スイッチ駆動信号と同様のため、説明を省略する。

【0099】

すなわち、第1のタイミングでは、第5及び第7のスイッチ回路4₂₅、4₂₇

がオフ、第6及び第8のスイッチ回路42₆、42₈がオンとなる。したがって、キャパシタ72の一端は、第1の液晶駆動用電位供給線28と電気的に遮断され、第6のスイッチ回路42₆を介して、センター電位供給線30と接続される。また、キャパシタ72の他端は、第8のスイッチ回路42₈を介して、接地電位供給線22と接続される。

【0100】

また、第2のタイミングでは、第5及び第7のスイッチ回路42₅、42₇がオン、第6及び第8のスイッチ回路42₆、42₈がオフとなる。したがって、キャパシタ72の一端は、第5のスイッチ回路42₅を介して第1の液晶駆動用電位供給線28と接続される。また、キャパシタ72の他端は、第7のスイッチ回路42₇を介してセンター電位供給線30と接続され、接地電位供給線22と電気的に遮断される。

【0101】

このように、第2のスイッチ駆動回路70による第5～第8のスイッチ回路42₅～42₈のスイッチング動作によって、第1のタイミングで接地電位供給線22とのセンター電位VCが印加されて電荷が蓄積されると、第2のタイミングでセンター電位供給線30を基準に、第1の液晶駆動電位供給線28の電位レベルが設定される。これによって、第1の液晶駆動用電位供給線28の電位は、センター電位VCの2倍の値となる。

【0102】

このようなチャージポンプ回路によれば、キャパシタ72により、第5～第8のスイッチ回路42₅～42₈のスイッチング電流のみとなって、消費電流を削減することができる。また、キャパシタ72の容量値にかかわらず、上述したスイッチング動作によってセンター電位VCの2倍に昇圧することができるようになる。

【0103】

なお、この第2の昇圧回路16では、図5に示した第1の昇圧回路12のように、ND₅と第1の液晶駆動用電位供給線28との間、ND₅と接地電位供給線22との間にそれぞれキャパシタを接続するようにしても良い。この場合、精度良

く電位レベルを2倍昇圧することができるようになる。

【0104】

ここでは、2倍昇圧を行うチャージポンプ回路について説明したが、これに限定されるものではない。

【0105】

2. 3. 2 断面構造例

図9に、基板上に形成されたチャージポンプ回路の断面構造の一例を示す。

【0106】

まず、p型基板90をpウェル領域とし、基板90上に、高濃度p⁺拡散領域92、高濃度n⁺拡散領域94、96が互いに分割されて形成され、第8のスイッチ回路42₈であるn型（第2の導電型）（MOS）トランジスタが構成される。すなわち、高濃度n⁺拡散領域94、96の領域間のチャネル領域上に、ゲート電極98が形成される。高濃度p⁺拡散領域92、高濃度n⁺拡散領域94は、接地電位供給線22と電気的に接続される。ゲート電極98には、スイッチ駆動信号Aが印加される。高濃度n⁺拡散領域96は、ND₆となる。

【0107】

また、p型基板90上には、nウェル領域100、102、104が形成され、各ウェル領域でそれぞれ第7、第6、第5のスイッチ回路42₇、42₆、42₅であるp型（MOS）トランジスタが構成される。

【0108】

より具体的には、nウェル領域100には、高濃度p⁺拡散領域106、108、高濃度n⁺拡散領域110が互いに分割されて形成される。高濃度p⁺拡散領域106、108の領域間のチャネル領域上に、ゲート電極112が形成される。高濃度n⁺拡散領域106は、高濃度p⁺拡散領域96と電気的に接続される。高濃度p⁺拡散領域108と高濃度n⁺拡散領域110は、センター電位供給線30と電気的に接続される。ゲート電極112には、スイッチ駆動信号XBが印加される。

【0109】

nウェル領域102には、高濃度p⁺拡散領域114、116、高濃度n⁺拡散

領域118が互いに分割されて形成される。高濃度p⁺拡散領域114、116の領域間のチャネル領域上に、ゲート電極120が形成される。高濃度p⁺拡散領域114は、センター電位供給線30と電気的に接続される。高濃度p⁺拡散領域116と高濃度n⁺拡散領域118は、ND₄となり互いに電気的に接続される。ゲート電極120には、スイッチ駆動信号XA2が印加される。

【0110】

nウェル領域104には、高濃度p⁺拡散領域122、124、高濃度n⁺拡散領域126が互いに分割されて形成される。高濃度p⁺拡散領域122、124の領域間のチャネル領域上に、ゲート電極128が形成される。高濃度p⁺拡散領域122は、ND₄と電気的に接続される。高濃度p⁺拡散領域124と高濃度n⁺拡散領域126は、電位レベルV3が供給される第1の液晶駆動用電位供給線28と電気的に接続される。ゲート電極128には、スイッチ駆動信号XB2が印加される。

【0111】

このように構成することによって、図9に示したチャージポンプ回路を、ツインウェル構造のp型（第1の導電型）基板上で形成することができる。

【0112】

なお、図9ではp型基板上で形成されたツインウェル構造によりチャージポンプ回路を形成するようにしたがこれに限定されるものではなく、n型基板上で形成されたツインウェル構造により図8に示すチャージポンプ回路を形成するようにしても良い。この場合、図9におけるp型とn型とを入れ替えると共に、スイッチ駆動信号A、XB、XA2、XB2の論理を反転させる必要がある。

【0113】

2.4 多値電位生成回路

2.4.1 構成例

本実施形態における多値電位生成回路18は、図8に示すように、第1の液晶駆動用電位供給線28とセンター電位供給線30との間に、任意の比で抵抗分割可能な抵抗素子74が接続されている。さらに、センター電位供給線30と接地電位供給線22との間に、任意の比で抵抗分割可能な抵抗素子76が接続されて

いる。

【0114】

抵抗素子74、76は、それぞれ任意の比で3分割ずつされ、各抵抗分割電位には、ボルテージフォロワ接続された演算增幅回路78、80、82、84の+端子が接続されている。より具体的には、演算增幅回路78の出力端子は、その一端子に帰還されると共に、電位レベルV2が供給される第2の液晶駆動用電位供給線32に接続される。演算增幅回路80の出力端子は、その一端子に帰還されると共に、電位レベルV1が供給される第3の液晶駆動用電位供給線34に接続される。演算增幅回路82の出力端子は、その一端子に帰還されると共に、電位レベルMV1が供給される第4の液晶駆動用電位供給線36に接続される。演算增幅回路84の出力端子は、その一端子に帰還されると共に、電位レベルMV2が供給される第5の液晶駆動用電位供給線38に接続される。

【0115】

2.4.2 設定電位

MLS駆動法の場合、第1及び第5の液晶駆動用電位供給線28、22とセンター電位供給線30に供給される電位レベルV3、MV3(VSS)、VCは、次のような関係を有するように、電位レベルが調整される。

【0116】

例えば、図2の場合、画素がオンのときの1フレームにおける実効値電圧をV_{ON(RMS)}、オフのときの1フレームにおける実効値電圧をV_{OFF(RMS)}とする。

【0117】

すなわち、各画素は、走査電極と信号電極との電位差が印加されることになるので、同時選択ライン数が4のMLS駆動法による実効値電圧V_{ON(RMS)}は、次の(2)式のように表すことができる。

【0118】

【数1】

$$V_{ON(RMS)} = \sqrt{\frac{3v_3^2 + (v_3 + v_2)^2 + (N-4)v_1^2}{N}} \quad \dots \dots (2)$$

【0119】

同様に、同時選択ライン数が4のMLS駆動法による実効値電圧 $V_{OFF(RMS)}$ は、次の(3)式のように表すことができる。

【0120】

【数2】

$$V_{OFF(RMS)} = \sqrt{\frac{3v_3^2 + (v_3 - v_2)^2 + (N-4)v_1^2}{N}} \quad \dots \dots (3)$$

【0121】

ここで、 v_3 、 v_2 、 v_1 をそれぞれ、センター電位 V_C を基準とした電位レベル V_3 、 V_2 、 V_1 との電位差とする。また、 v_3 、 v_2 、 v_1 はそれぞれ、センター電位 V_C を基準とした電位レベル MV_3 、 MV_2 、 MV_1 との電位差と同等である。さらに、 N を表示ライン数とする。

【0122】

したがって、(4)式のように表されるバイアス比 a を用いると、 v_1 は(5)式のように表されるので、 $V_{ON(RMS)} / V_{OFF(RMS)}$ は、次の(6)式のようになる。

【0123】

$$a = v_2 / v_3 \quad \dots \dots (4)$$

$$v_1 = v_3 / 2a \quad \dots \dots (5)$$

【0124】

【数3】

$$\frac{V_{ON(RMS)}}{V_{OFF(RMS)}} = \sqrt{\frac{3(2a+1)^2 + (2a-1)^2 + (N-4)}{3(2a-1)^2 + (2a+1)^2 + (N-4)}} \quad \dots \dots (6)$$

【0125】

この(6)式は、オンしている画素とオフしている画素の明るさの比と等価で、コントラストの比でもある。したがって、分子である $V_{ON(RMS)}$ が大きく、分母である $V_{OFF(RMS)}$ の値が小さくなるとき、(6)式の値は最大となる。すなわち、(6)式が最大となるとき、バイアス比 a が最適なバイアス比となる。そのため、(6)式を微分して極値を求めると、最適なバイアス比は(7)式のようになる。

【0126】

【数4】

$$a = \pm \frac{\sqrt{N}}{4} \quad \cdots \cdots (7)$$

【0127】

以上より、表示ライン数Nから(7)式で示されるような v_1 、 v_2 、 v_3 となるように抵抗素子74、76の抵抗分割点を調整して、電位レベルV1(MV1)、V2(MV2)、V3(MV3)を決めることで、液晶表示のコントラストを最大とすることができます。

【0128】

2. 4. 3 ボルテージフォロワ型演算增幅回路

本実施形態における多値電位生成回路18は、抵抗素子74、76の抵抗分割点に、ボルテージフォロワ接続された演算增幅回路78、80、82、84が接続される。このような構成の場合、低消費電力化を図るためにには、高抵抗にする必要がある。しかし、抵抗分割電位をこのまま液晶駆動のための電極に印加すると、出力インピーダンスが高くなってしまい、液晶駆動を行う際の変動が大きくなり、液晶の表示品質を低下させてしまう。そこで、各抵抗分割点にインピーダンス変換手段としてのボルテージフォロワ接続された演算增幅回路を接続することにより、出力インピーダンスを低下させている。このため、抵抗素子74、76が高抵抗の場合でも、液晶表示品質を低下させることができなくなる。

【0129】

(構成)

図10に、本実施形態におけるボルテージフォロワ接続された演算增幅回路78の構成例を示す。

【0130】

ここでは、ボルテージフォロワ接続された演算增幅回路(ボルテージフォロワ型演算增幅回路)78について説明するが、ボルテージフォロワ型演算增幅回路80、82、84についても同様の構成である。

【0131】

ボルテージフォロワ型演算增幅回路78は、抵抗素子74の抵抗分割点に接続され、電位レベルV3とセンター電位VCとの間の抵抗分割電位レベルV_{d i v}を共通入力として動作するボルテージフォロワ型の第1及び第2の差動增幅130、150を含む。

【0132】

ボルテージフォロワ型の第1の差動增幅回路130は、p型トランジスタ132と、p型トランジスタ132と共にカレントミラーを構成するp型トランジスタ134とを含む。これらp型トランジスタ132、134は、サイズが同一で同一能力を有し、カレントミラー回路を構成する。

【0133】

第1の差動增幅回路130は、さらに、電源レベルVDDと接地レベルVSSとの間にp型トランジスタ132に直列接続されたn型トランジスタ136と、電源レベルVDDと接地レベルVSSとの間にp型トランジスタ134に直列接続されたn型トランジスタ138とを有する。n型トランジスタ136、138は、定電流源140を介して、接地レベルVSSに接続されている。これらn型トランジスタ136、138は、サイズを異ならせることで能力差を有する。

【0134】

ボルテージフォロワ型の第2の差動增幅回路150は、n型トランジスタ152と、n型トランジスタ152と共にカレントミラーを構成するn型トランジスタ154とを含む。これらn型トランジスタ152、154は、サイズが同一で同一能力を有し、カレントミラー回路を構成する。

【0135】

第2の差動增幅回路150は、さらに、電源レベルVDDと接地レベルVSSとの間にn型トランジスタ152に直列接続されたp型トランジスタ156と、電源レベルVDDと接地レベルVSSとの間にn型トランジスタ154に直列接続されたp型トランジスタ158とを有する。p型トランジスタ156、158は、定電流源160を介して、電源レベルVDDに接続されている。これらp型トランジスタ156、158は、サイズを異ならせることで能力差を有する。

【0136】

第1の差動增幅回路130のp型トランジスタ132とn型トランジスタ136との接続点からは、第1の信号SS1として差動出力信号が出力され、p型トランジスタ142が動作する。

【0137】

第2の差動增幅回路150のn型トランジスタ152とp型トランジスタ156との接続点からは、第2の信号SS2として差動出力信号が出力され、n型トランジスタ162が動作する。

【0138】

これらp型トランジスタ142とn型トランジスタ162とは、電源レベルVDDと接地レベルVSSとの間に直列に接続され、p型トランジスタ142とn型トランジスタ162との間の電位が、電位レベルV2を供給する第2の液晶駆動用電位供給線32に供給される。

【0139】

また、第1及び第2の差動增幅回路130、150には、発振防止用のキャパシタCC1、CC2と、静電気保護用抵抗R1、R2とが設けられている。

【0140】

また、第1の差動增幅回路130は、定電流源140と並列に接続されたn型トランジスタ144を含む第1の電流制御回路146を含む。このn型トランジスタ144のゲート電極には、第2の差動增幅回路150の差動出力信号である第2の信号SS2が供給され、結果として第1の電流制御回路146は、第1の差動增幅回路130の定電流値を制御することで、第1の信号SS1を制御してp型トランジスタ142のゲート電圧を制御する。

【0141】

同様に、第2の差動增幅回路150は、定電流源160と並列に接続されたp型トランジスタ164を含む第2の電流制御回路166を含む。このp型トランジスタ164のゲート電極には、第1の差動增幅回路130の差動出力信号である第1の信号SS1が供給され、結果として第2の電流制御回路166は、第2の差動增幅回路150の定電流値を制御することで、第2の信号SS2を制御してn型トランジスタ162のゲート電圧を制御する。

【0142】

なお、n型トランジスタ144及びp型トランジスタ164は、演算增幅回路78の出力電位レベルV2の安定時にあっては、オフ状態となり、ほとんど電流は流れない。

【0143】

(動作の説明)

本実施形態におけるボルテージフォロワ型演算增幅回路は、低消費電力で、出力される電位レベルが速やかに安定状態に遷移させることができる。

【0144】

<出力される電位レベルが安定状態より低い場合>

まず、出力される電位レベルが安定状態より低い場合、n型トランジスタ138及びp型トランジスタ158のゲート電圧は、本来の安定状態の電圧より低くなる。

【0145】

第1の差動増幅回路130では、定電流源140によって定電流源が流れる一方でn型トランジスタ138のゲート電圧が低下することから、n型トランジスタ138に流れる電流 I_{138} は減り、その分n型トランジスタ136に流れる電流 I_{136} が増える。

【0146】

この結果、第1の差動増幅回路130では、第1の信号SS1の電圧が下がって、p型トランジスタ142に流れる電流が多くなる。

【0147】

これに対して、第2の差動増幅回路150では、定電流源160により定電流が流れ、差動対を構成するp型トランジスタ156、158に流れる電流 I_{156} 、 I_{158} の和は一定である。そして、上述したようにp型トランジスタ158のゲート電圧の低下により、p型トランジスタ158に流れる電流 I_{158} が増え、その分p型トランジスタ156に流れる電流 I_{156} は減る。

【0148】

この結果、第2の差動増幅回路150では、第2の信号SS2の電圧が下がつ

て、n型トランジスタ162に流れる電流が少なくなる。

【0149】

こうして、演算増幅回路78の出力電位レベルV2は、安定状態に向けて上昇することになる。

【0150】

ところで、p型トランジスタ142のゲート電圧は、そのゲート容量と、発振防止用のキャパシタCC1と、ゲート線L1の配線寄生容量とに蓄積される電荷により決められる。同様に、n型トランジスタ162のゲート電圧は、そのゲート容量と、発振防止用のキャパシタCC2と、ゲート線L2の配線寄生容量とに蓄積される電荷により決められる。したがって、電荷に蓄積されるチャージ時間により、ゲート電圧の変化に対する応答が遅くなる。そのため、第1及び第2の電流制御回路146、166により、上述したトランジスタのゲート電圧の変化の応答性を向上させる。

【0151】

すなわち、第2の差動増幅回路150のp型トランジスタに流れる電流 I_{156} が減ることにより、電圧が下がった第2の信号SS2が第1の差動増幅回路130のn型トランジスタ144のゲート電極に印加される。その結果、n型トランジスタ144に流れる電流 I_{144} は減り、p型トランジスタ142のゲート電圧である第1の信号SS1は定電流源140に流れる電流によって定まる。

【0152】

一方、第1の差動増幅回路130で第1の信号SS1が下がることによって、第2の差動増幅回路150のp型トランジスタ164に流れる電流 I_{164} が増える。この結果、第2の差動増幅回路150の差動対及びカレントミラー回路に流れる電流が多くなる。すなわち、差動増幅回路を駆動するための定電流値が多くなった場合に相当することとなり、結果としてn型トランジスタ162の動作を早めることができる。

【0153】

したがって、演算増幅回路78の出力電位レベルV2を上昇させて安定状態に遷移するための時間を高速化することができる。

【0154】

特に、定電流源140、160によって定常電流は、消費電流の増大を招く。したがって、定電流源140、160による定電流値はできるだけ小さい値にしておいて、上述したように必要な安定出力時にのみ最適な値の電流を供給することによって、演算增幅回路の低消費電力化をも実現することができる。

【0155】

さらにまた、第1の差動増幅回路130では、差動対を構成するn型トランジスタ136、138に能力差を有する。以下では、例えばn型トランジスタ138の能力がn型トランジスタ136の能力よりも高いものとする。

【0156】

この場合、同一電流が流れる安定状態において、n型トランジスタ138のゲート-ソース間電圧は、n型トランジスタ136のゲート-ソース間電圧よりも低くて済む。ところが、第1及び第2の差動増幅回路130、150の出力同士がショートされている場合、n型トランジスタ136、138のゲート-ソース間電圧が共に等しくなる。したがって、n型トランジスタ138の方が電流を多く流す能力あるにも関わらず、n型トランジスタ136、138には同一電流が流れる。この場合、p型トランジスタ132、134のゲート電位は低くなり、その結果第1の信号SS1の電位が上昇する。これは、p型トランジスタ142のゲート-ソース間電圧が低くなることを意味し、p型トランジスタ142に流れる電流を減少させることができる。

【0157】

これに対して、第2の差動増幅回路150でも、差動対を構成するp型トランジスタ156、158に能力差を有し、p型トランジスタ158の能力がp型トランジスタ156の能力よりも高いものとすると、同一電流が流れる安定状態においては、p型トランジスタ158のゲート-ソース間電圧は、p型トランジスタ156のゲート-ソース間電圧よりも低くて済む。ところが、第1及び第2の差動増幅回路130、150の出力同士がショートされている場合、p型トランジスタ156、158のゲート-ソース間電圧が共に等しくなる。したがって、p型トランジスタ158の方が電流を多く流す能力あるにも関わらず、p型トランジ

ンジスタ156、158には同一電流が流れる。この場合、n型トランジスタ152、154のゲート電位は低くなり、その結果第2の信号SS2の電位が下降する。これは、n型トランジスタ162のゲート-ソース間電圧が低くなることを意味し、n型トランジスタ162に流れる電流を減少させることができる。

【0158】

このように、共通入力に基づき動作するp型差動増幅回路としての第1の差動増幅回路130とn型差動増幅回路としての第2の差動増幅回路150との出力同士をショートして、互いに異なる能力を有するトランジスタで差動対を構成するようにしたので、電流消費を低減させることができる。

【0159】

＜出力される電位レベルが安定状態より高い場合＞

出力される電位レベルが安定状態より高い場合、n型トランジスタ138及びp型トランジスタ158のゲート電圧は、本来の安定状態の電圧より高くなる。

【0160】

第1の差動増幅回路130では、定電流源140によって定電流源が流れる一方でn型トランジスタ138のゲート電圧が上昇することから、n型トランジスタ138に流れる電流 I_{138} は増え、その分n型トランジスタ136に流れる電流 I_{136} が減る。

【0161】

この結果、第1の差動増幅回路130では、第1の信号SS1の電圧が上がって、p型トランジスタ142に流れる電流が少なくなる。

【0162】

これに対して、第2の差動増幅回路150では、上述したようにp型トランジスタ158のゲート電圧の上昇により、p型トランジスタ158に流れる電流 I_{158} が減り、その分p型トランジスタ156に流れる電流 I_{156} は増える。

【0163】

この結果、第2の差動増幅回路150では、第2の信号SS2の電圧が上がって、n型トランジスタ162に流れる電流が多くなる。

【0164】

こうして、演算増幅回路78の出力電位レベルV2は、安定状態に向けて低下することになる。

【0165】

ここで、第2の差動増幅回路150のp型トランジスタに流れる電流 I_{156} が増えることにより、電圧が上がった第2の信号SS2が第1の差動増幅回路130のn型トランジスタ144のゲート電極に印加される。その結果、n型トランジスタ144に流れる電流 I_{144} は増え、第1の差動増幅回路130の差動対及びカレントミラーリードに流れる電流が多くなる。すなわち、差動増幅回路を駆動するための定電流値が多くなった場合に相当することとなり、結果としてp型トランジスタ142の動作を早めることができる。

【0166】

一方、第1の差動増幅回路130で第1の信号SS1が上がることによって、第2の差動増幅回路150のp型トランジスタ164に流れる電流 I_{164} が減る。このとき、n型トランジスタ162のゲート電圧である第2の信号SS2は定電流源160に流れる電流によって定まる。

【0167】

このように、演算増幅回路78の出力電位レベルV2を下降させて安定状態に遷移するための時間を高速化する。

【0168】

この場合も、上述したように共通入力に基づき動作する第1及び第2の差動増幅回路130、150との出力同士をショートして、互いに異なる能力を有するトランジスタで差動対を構成するようにしたので、電流消費を低減させることが可能となる。

【0169】

図11に、図10に示した演算増幅回路78の動作の一例を示す。

【0170】

上述したように、演算増幅回路78の出力電位レベルV2は、安定状態の電位レベルから正側に変動すると、第1の差動増幅回路130のn型トランジスタ144に流れる電流 I_{144} が増えて、出力電位レベルV2が安定状態に戻される。

また、出力電位レベルV2が安定状態から負側に変動すると、第2の差動增幅回路のp型トランジスタ164に流れる電流I₁₆₄が増えて、出力電位レベルV2が安定状態に戻される。

【0171】

これは、演算增幅回路78の消費電流としては、定常状態では定電流源140、160による電流I₁₄₀とI₁₆₀の和のみであるが、非安定状態から安定状態に戻すときに、それぞれn型トランジスタ144による電流I₁₄₄、p型トランジスタ164による電流I₁₆₄が付加され、安定状態への遷移が早められる。このとき、定常状態におけるI₁₄₀とI₁₆₀が小さければ小さいほど、演算增幅回路78の消費電流は全体として削減できる。

【0172】

以上説明したように、本実施形態における電源回路は、接地レベルVSSを基準に、電源電位レベルを昇圧した第1の昇圧電位レベルVOUTからレギュレートした電位をセンター電位VCとして、複数レベルの電位を生成するようにしたので、電位調整手段としてのレギュレータ回路に高耐圧性が必要とされず、安価なプロセスを用いることができる。また、低コスト化が可能なツインウェルのプロセスを使用した場合、接地レベルVSSより正側の電位レベルのみを生成することができるので、従来必要とされた外付け部品が不要となって、装置の低コスト化を実現すると共に、実装上の問題を回避することができるようになる。

【0173】

3. 第1の変形例

本実施形態における電源回路に適用される多値電位生成回路としては、図8に示したものに限定されない。

【0174】

図12に、第1の変形例における多値電位生成回路の構成の概要を示す。

【0175】

ただし、図8に示す本実施形態における多値電位生成回路18と同一部分には同一符号を付し、適宜説明を省略する。

【0176】

第1の変形例における多値電位生成回路200では、(7)式を満たすように設定された抵抗素子74、76の抵抗分割点に、図10で示したボルテージフォロワ型の演算增幅回路202、204が接続される。

【0177】

演算增幅回路202の出力端子は、そのまま電位レベルV2を供給する第2の液晶駆動用電位供給線32に接続される。演算增幅回路204の出力端子は、そのまま電位レベルMV2を供給する第5の液晶駆動用電位供給線38に接続される。

【0178】

また、第1の変形例における多値電位生成回路200では、センター電位供給線30と第2の液晶駆動用電位供給線32との間、センター電位供給線30と第5の液晶駆動用電位供給線38との間に、それぞれ降圧回路210、212が設けられている。

【0179】

すなわち、降圧回路210は、第2の液晶駆動用電位供給線32と、センター電位供給線30との間に直列接続されている第9～第12のスイッチ回路42₉～42₁₂と、第9～第12のスイッチ回路42₉～42₁₂をオン・オフ駆動するスイッチ駆動回路(図示せず)とを含む。

【0180】

第9～第12のスイッチ回路42₉～42₁₂の接続点をそれぞれND₇～ND₉とすると、降圧回路210は、ND₇とND₉との間に接続されたキャパシタ214と、第2の液晶駆動用電位供給線32とND₈との間に接続されたキャパシタ216₁と、ND₈とセンター電位供給線30との間に接続されたキャパシタ216₂とを含む。

【0181】

なお、ND₈は、電位レベルV1が供給される第3の液晶駆動用電位供給線34に接続される。

【0182】

図示しないスイッチ駆動回路は、第9及び第11のスイッチ回路42₉、42₁₁

$_{12}$ をオンさせる期間と、第10及び第12のスイッチ回路 42_{10} 、 42_{12} をオンさせる期間とが交互に繰り返されるように、第9～第12のスイッチ回路 42_9 ～ 42_{12} を駆動する。

【0183】

このような第9～第12のスイッチ回路 42_9 ～ 42_{12} は、p型（第1の導電型）のMOSトランジスタにより構成することができるが、n型MOSトランジスタでも構成することができ、要はスイッチ機能を有する任意の回路を適用することができる。

【0184】

降圧回路210の各スイッチ駆動信号は、図6に示す第1のスイッチ駆動回路44によって生成される各スイッチ駆動信号と同様のため、説明を省略する。

【0185】

このような降圧回路210では、第1のタイミングと第2のタイミングとを交互に繰り返すことによって、キャパシタ 214 、 216_1 、 216_2 のそれぞれの両端に印加される電圧が等しくなるように、キャパシタ 214 、 216_1 、 216_2 に蓄積される電荷が安定する。その結果、キャパシタ 216_1 、 216_2 の中間点の電位、すなわち電位レベル $V1$ は、第1の液晶駆動用電位供給線32の電位レベル $V2$ とセンター電位 VC との中間電位に収束される。

【0186】

同様に、降圧回路212は、センター電位供給線30と第5の液晶駆動用電位供給線38との間に直列接続されている第13～第16のスイッチ回路 42_{13} ～ 42_{16} と、第13～第16のスイッチ回路 42_{13} ～ 42_{16} をオン・オフ駆動するスイッチ駆動回路（図示せず）とを含む。

【0187】

第13～第16のスイッチ回路 42_{13} ～ 42_{16} の接続点をそれぞれ ND_{10} ～ ND_{12} とすると、降圧回路212は、 ND_{10} と ND_{12} との間に接続されたキャパシタ 218 と、センター電位供給線30と ND_{11} との間に接続されたキャパシタ 220_1 と、 ND_{11} と第2の液晶駆動用電位供給線32との間に接続されたキャパシタ 220_2 とを含む。

【0188】

なお、ND₁₁は、電位レベルMV1が供給される第4の液晶駆動用電位供給線36に接続される。

【0189】

図示しないスイッチ駆動回路は、第13及び第15のスイッチ回路42₁₃、42₁₅をオンさせる期間と、第12及び第16のスイッチ回路42₁₂、42₁₆をオンさせる期間とが交互に繰り返されるように、第13～第16のスイッチ回路42₁₃～42₁₆を駆動する。

【0190】

このような第13～第16のスイッチ回路42₁₃～42₁₆は、p型（第1の導電型）のMOSトランジスタにより構成することができるが、n型MOSトランジスタでも構成することができ、要はスイッチ機能を有する任意の回路を適用することができる。

【0191】

降圧回路212の各スイッチ駆動信号は、図6に示す第1のスイッチ駆動回路44によって生成される各スイッチ駆動信号と同様のため、説明を省略する。

【0192】

このような降圧回路212では、第1のタイミングと第2のタイミングとを交互に繰り返すことによって、キャパシタ218、220₁、220₂のそれぞれの両端に印加される電圧が等しくなるように、キャパシタ218、220₁、220₂に蓄積される電荷が安定する。その結果、キャパシタ220₁、220₂の中間点の電位、すなわち電位レベルMV1は、センター電位VCと第5の液晶駆動用電位供給線38の電位レベルMV2との中間電位に収束される。

【0193】

このような降圧回路により、キャパシタに流れる電流は無くなり、スイッチング動作に用いる電流のみとなって、消費電流を削減することができる。また、キャパシタの容量値にばらつきが生じた場合であっても、精度良く中間電位を生成することができる。また、演算增幅回路の数を削減することができる。

【0194】

4. 第2の変形例

図13に、第2の変形例における多値電位生成回路の構成の概要を示す。

【0195】

ただし、図8に示す本実施形態における多値電位生成回路18、図12に示す第1の変形例における多値電位生成回路200と同一部分には同一符号を付し、適宜説明を省略する。

【0196】

第2の変形例における多値電位生成回路300では、(7)式を満たすように設定された抵抗素子76の抵抗分割点に、図10で示したボルテージフォロワ型の演算增幅回路302が接続される。なお、電位レベルV2とセンター電位VCとの電位差と、電位レベルMV2とセンター電位VCとの電位差は等価である。

【0197】

演算增幅回路302の出力端子は、そのまま電位レベルMV2を供給する第5の液晶駆動用電位供給線38に接続される。

【0198】

また、第2の変形例における多値電位生成回路300は、第5の液晶駆動用電位供給線38に供給される電位レベルMV2を基準に、図5に示した2倍昇圧を行って電位レベルV2を生成する昇圧回路304、降圧回路210、212を含む。

【0199】

昇圧回路304は、センター電位VCと電位レベルMV2との電位差を2倍昇圧して、電位レベルV2を生成する。降圧回路210は、電位レベルV2とセンター電位VCとの電位差の中間電位を電位レベルV1として生成する。降圧回路212は、電位レベルMV2とセンター電位VCとの電位差の中間電位を電位レベルMV1として生成する。

【0200】

より具体的には、昇圧回路304は、第2の液晶駆動用電位供給線32と、第5の液晶駆動用電位供給線38との間に直列接続されている第17～第20のスイッチ回路42₁₇～42₂₀と、第17～第20のスイッチ回路42₁₇～42₂₀を

オン・オフ駆動するスイッチ駆動回路（図示せず）とを含む。

【0201】

第17～第20のスイッチ回路 $42_{17} \sim 42_{20}$ の接続点をそれぞれ $ND_{13} \sim ND_{15}$ とすると、昇圧回路304は、 ND_{13} と ND_{15} との間に接続されたキャパシタ306と、第2の液晶駆動用電位供給線32と ND_{14} との間に接続されたキャパシタ308₁と、 ND_{14} と第2の液晶駆動用電位供給線32との間に接続されたキャパシタ308₂とを含む。

【0202】

なお、 ND_{14} は、センター電位VCが供給されるセンター電位供給線30に接続される。

【0203】

図示しないスイッチ駆動回路は、第17及び第19のスイッチ回路 $42_{17}, 42_{19}$ をオンさせる期間と、第18及び第20のスイッチ回路 $42_{18}, 42_{20}$ をオンさせる期間とが交互に繰り返されるように、第17～第20のスイッチ回路 $42_{17} \sim 42_{20}$ を駆動する。

【0204】

このような第17～第20のスイッチ回路 $42_{17} \sim 42_{20}$ は、p型（第1の導電型）のMOSトランジスタにより構成することができるが、n型MOSトランジスタでも構成することができ、要はスイッチ機能を有する任意の回路を適用することができる。

【0205】

昇圧回路304の各スイッチ駆動信号は、図6に示す第1のスイッチ駆動回路44によって生成される各スイッチ駆動信号と同様のため、説明を省略する。

【0206】

このような昇圧回路304では、第1のタイミングと第2のタイミングとを交互に繰り返すことによって、キャパシタ306、308₁、308₂のそれぞれの両端に印加される電圧が等しくなるように、キャパシタ306、308₁、308₂に蓄積される電荷が安定する。その結果、キャパシタ308₁の両端の電圧により決められる電位レベルV2は、キャパシタ308₂の両端の電圧となって、

電位レベルV2の電位が収束される。

【0207】

このような昇圧回路によっても、同様に7レベルの電源レベルを生成することができる。この場合、第1の変形例における効果に加えて、よりボルテージフォロワ型の演算增幅回路の数を減らすことが可能となる。

【0208】

なお、第2の変形例において、センター電位供給線30と接地電位供給線22との間に抵抗素子76を設けて抵抗分割した電位をMV2としてボルテージフォロワ型演算增幅回路302で出力するようにしているが、これに限定されるものではない。例えば、センター電位供給線30と第1の液晶駆動用電位供給線28との間に抵抗素子を設けて抵抗分割した電位をV2としてボルテージフォロワ型演算增幅回路で出力し、同様に昇圧回路で電位レベルMV2を生成して、降圧回路210、212で電位レベルV1、MV1を生成することも可能である。

【0209】

なお、本発明は上記実施形態、第1及び第2の変形例に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

【0210】

また、本実施形態、第1及び第2の変形例では、7レベルの電源レベルを生成するものとして説明したが、この電源レベル数に限定されるものではない。例えば、電源レベルVDDと接地レベルVSSからセンター電位VCに相当する1レベルだけを生成するようにしても良いし、電源レベルVDD、接地レベルVSS又はセンター電位VCに基づいてさらに1以上のレベルの電源レベルを生成するようにしても良い。あるいは、8レベル以上の電源レベルを生成するようにしても良い。

【0211】

また、上述した構成の電源回路は、液晶装置を含む電子機器例えば、携帯電話、ゲーム装置、パーソナルコンピュータなどの各種電子機器に適用することができる。

【図面の簡単な説明】

【図1】

本実施形態における電源回路が適用された液晶装置の構成要部を示す概略説明図である。

【図2】

図1に示す液晶パネルにおける駆動波形の一例を示す波形図である。

【図3】

本実施形態における電源回路の構成の概要を示す構成図である。

【図4】

本実施形態における電源回路の動作を模式的に示す説明図である。

【図5】

本実施形態における第1の昇圧回路の構成の一例を示す構成図である。

【図6】

本実施形態における第1のスイッチ駆動回路によって生成される各スイッチ駆動信号の一例を示す波形図である。

【図7】

本実施形態におけるレギュレータ回路の構成の一例を示す回路図である。

【図8】

本実施形態における第2の昇圧回路と多値電位生成回路の構成の一例を示す構成図である。

【図9】

基板上に形成された本実施形態におけるチャージポンプ回路の断面構造の一例を示す断面図である。

【図10】

本実施形態におけるボルテージフォロワ接続された演算増幅回路の構成例を示す回路図である。

【図11】

図10に示す演算増幅回路の動作の一例を示す説明図である。

【図12】

第1の変形例における多値電位生成回路の構成の概要を示す回路図である。

【図13】

第2の変形例における多値電位生成回路の構成の概要を示す回路図である。

【符号の説明】

- 2 液晶装置
- 4 液晶パネル
- 6 走査電極駆動回路 (コマンドライバ)
- 8 信号電極駆動回路 (セグメントドライバ)
- 9 駆動制御回路
- 10 電源回路
- 12 第1の昇圧回路
- 14 レギュレータ回路
- 16 第2の昇圧回路
- 18、200、300 多値電位生成回路
- 20 電源電位供給線
- 22 接地電位供給線
- 24 第1の電位供給線
- 26 第2の電位供給線
- 28 第1の液晶駆動用電位供給線
- 30 センター電位供給線
- 32 第2の液晶駆動用電位供給線
- 34 第3の液晶駆動用電位供給線
- 36 第4の液晶駆動用電位供給線
- 38 第5の液晶駆動用電位供給線
- 42₁~42₂₀ 第1~第20のスイッチ回路
- 44 第1のスイッチ駆動回路
- 46、48₁、48₂、62、72、214、216₁、216₂、218、220₁、220₂、306、308₁、308₂ キャパシタ
- 50、52、60、132、134、142、144、156、158、164 p型 (第1の導電型) MOSトランジスタ

54、56、58、64、136、138、152、154、162 n型（
第2の導電型）MOSトランジスタ

66、74、76 抵抗素子

70 第2のスイッチ駆動回路

78、80、82、84、202、204、302 (ボルテージフォロワ型
) 演算增幅回路

90 p型基板

92、106、108、114、116、122、124 高濃度 p⁺拡散領域
域

94、96、110、118、126 高濃度 n⁺拡散領域

98、112、120、128 ゲート電極

100、102、104 nウェル領域

130 第1の差動增幅回路

140、160 定電流源

146 第1の電流制御回路

150 第2の差動增幅回路

166 第2の電流制御回路

210、212 降圧回路

304 昇圧回路

C0～Cm 走査電極

ND₁～ND₁₅ 接続点

S0～Sn 信号電極

V1、V2、V3、MV1、MV2、MV3 電位レベル

VC センター電位

VDD 電源レベル

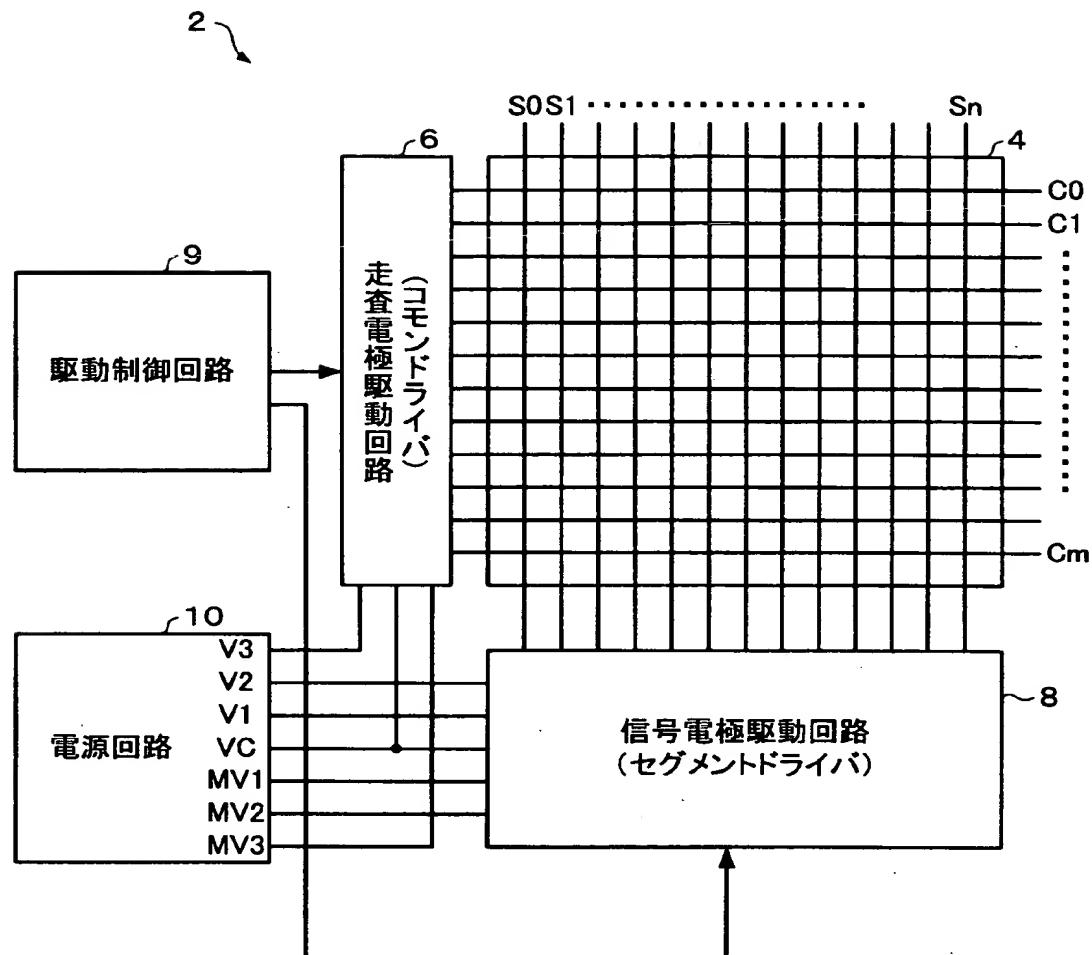
VOUT 第1の昇圧電位レベル

Vref 参照電位レベル

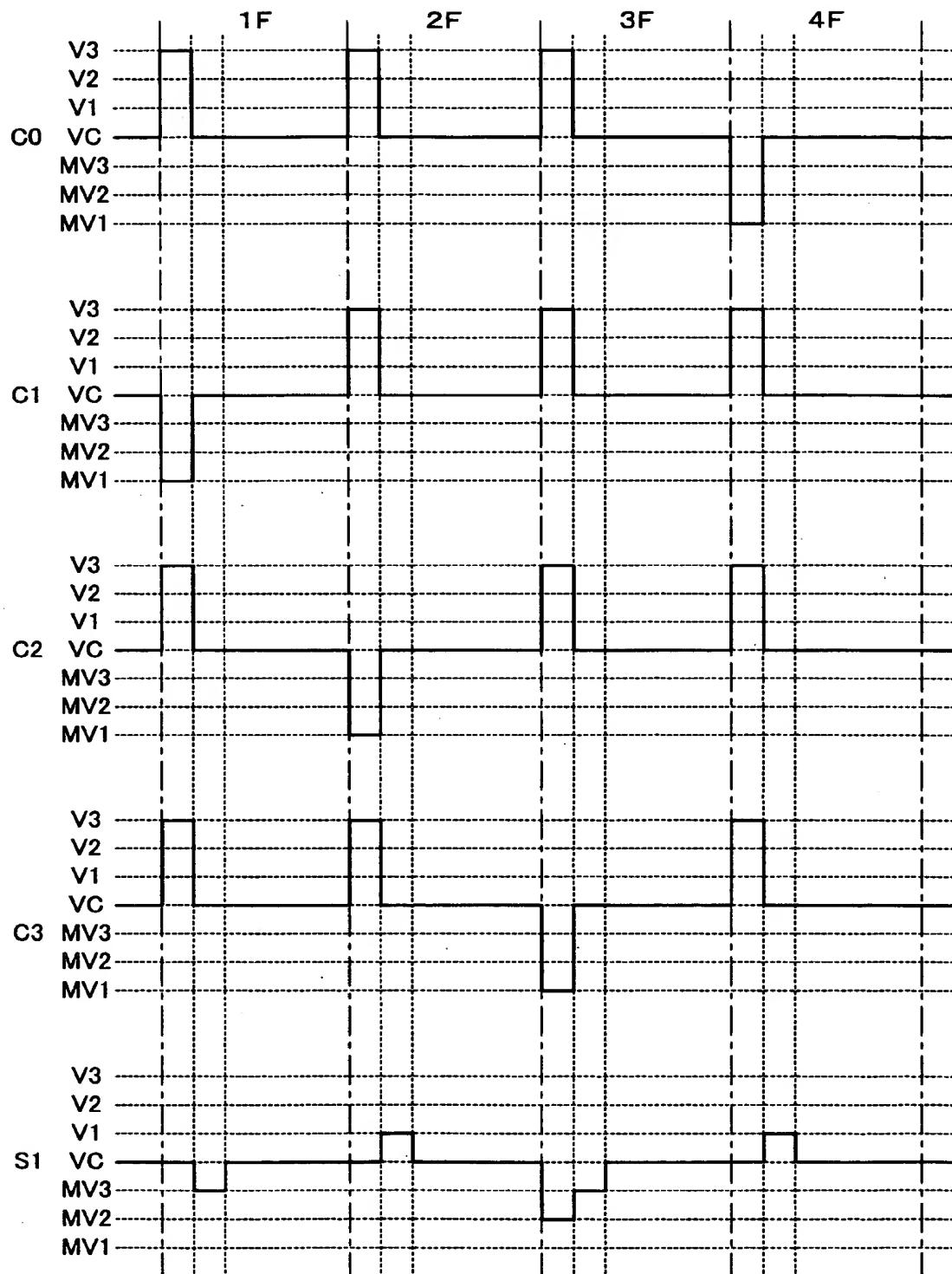
VSS 接地レベル

【書類名】 図面

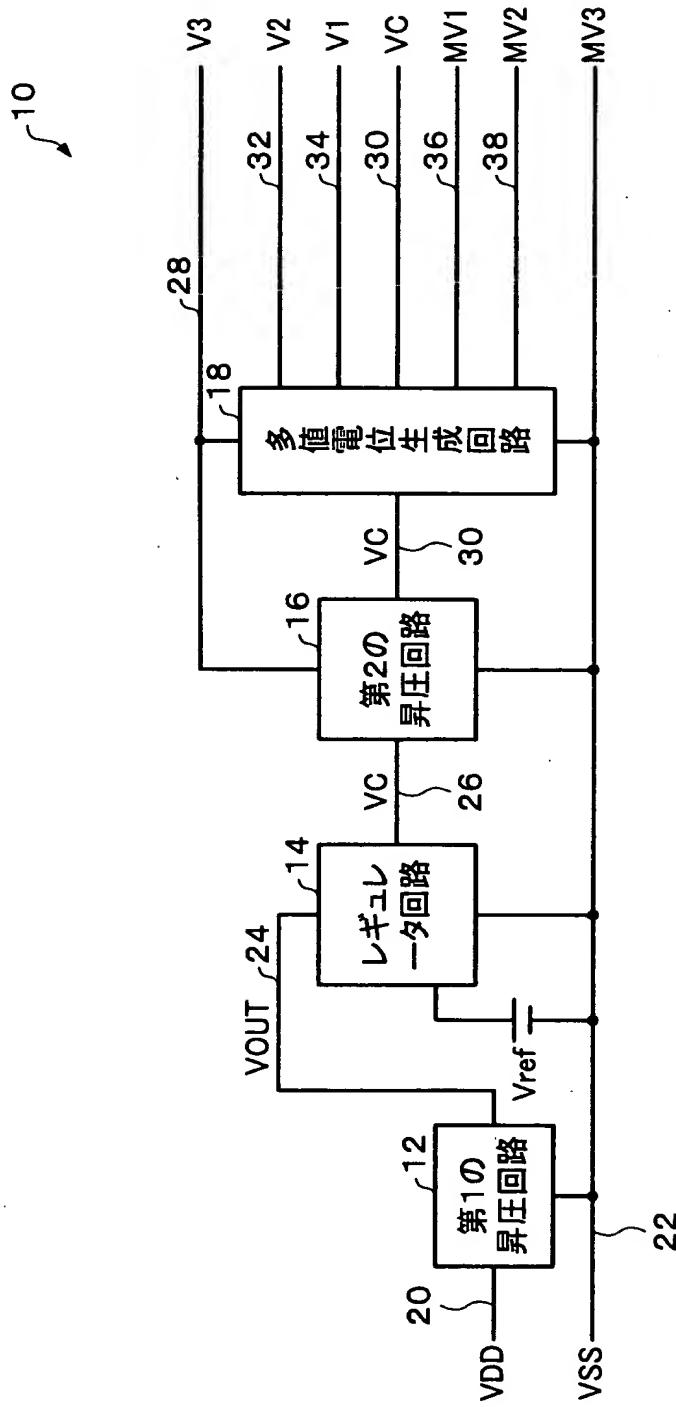
【図1】



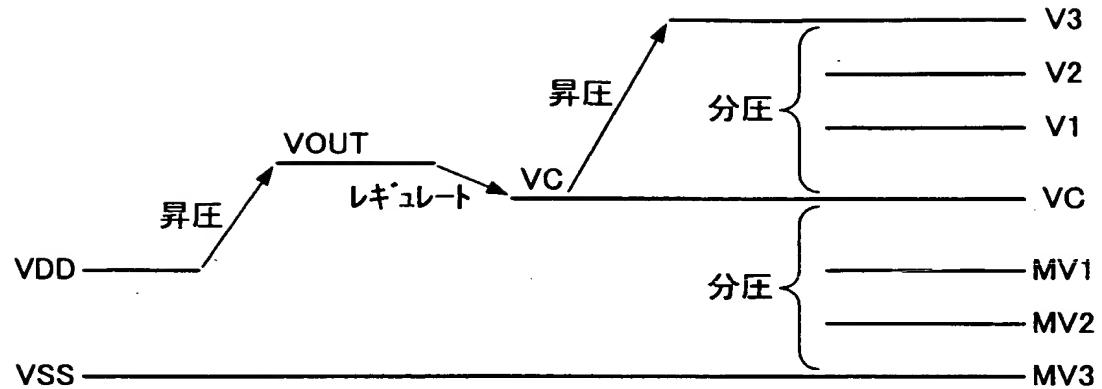
【図2】



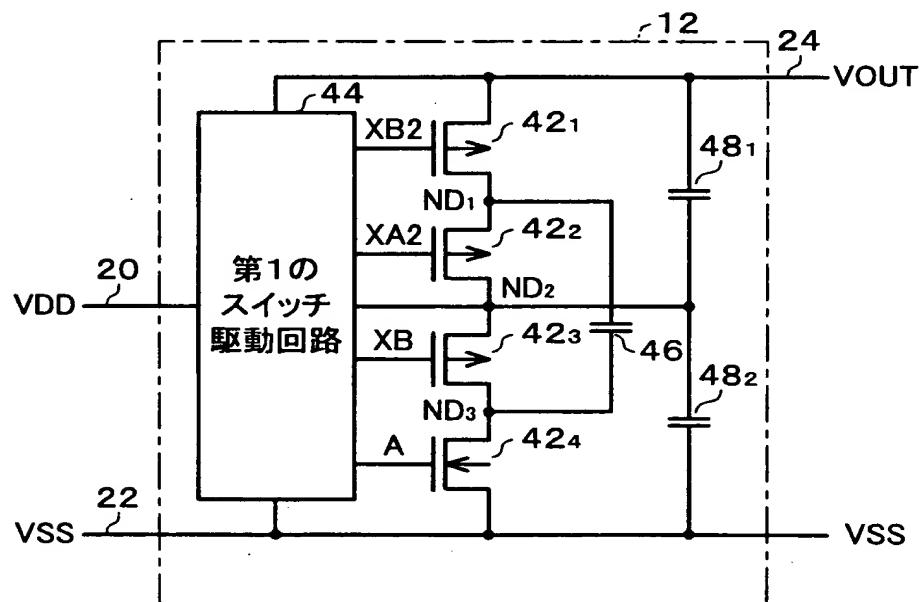
【図3】



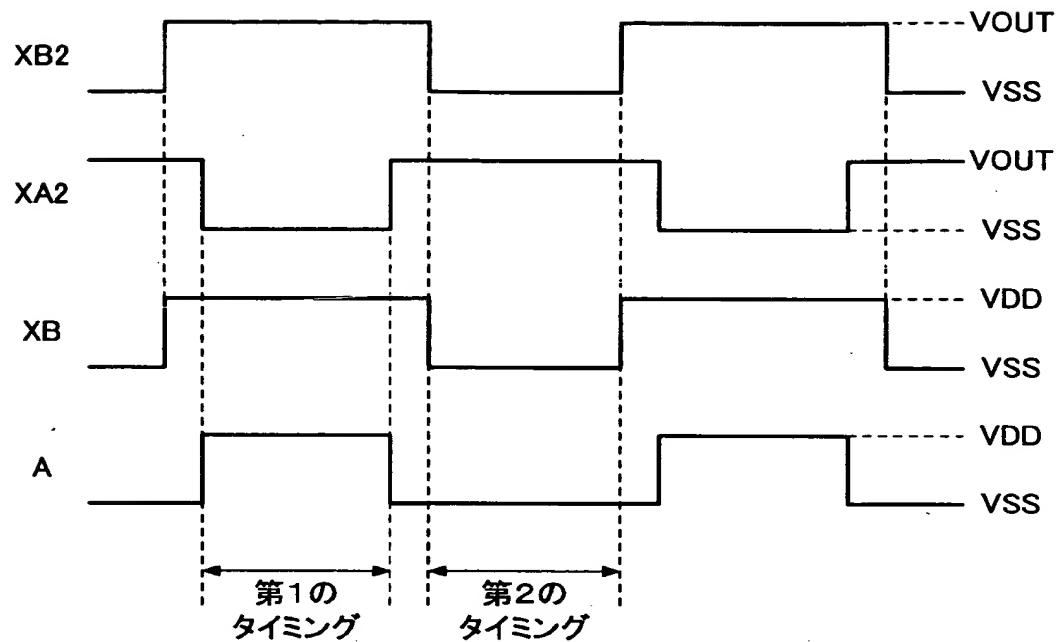
【図4】



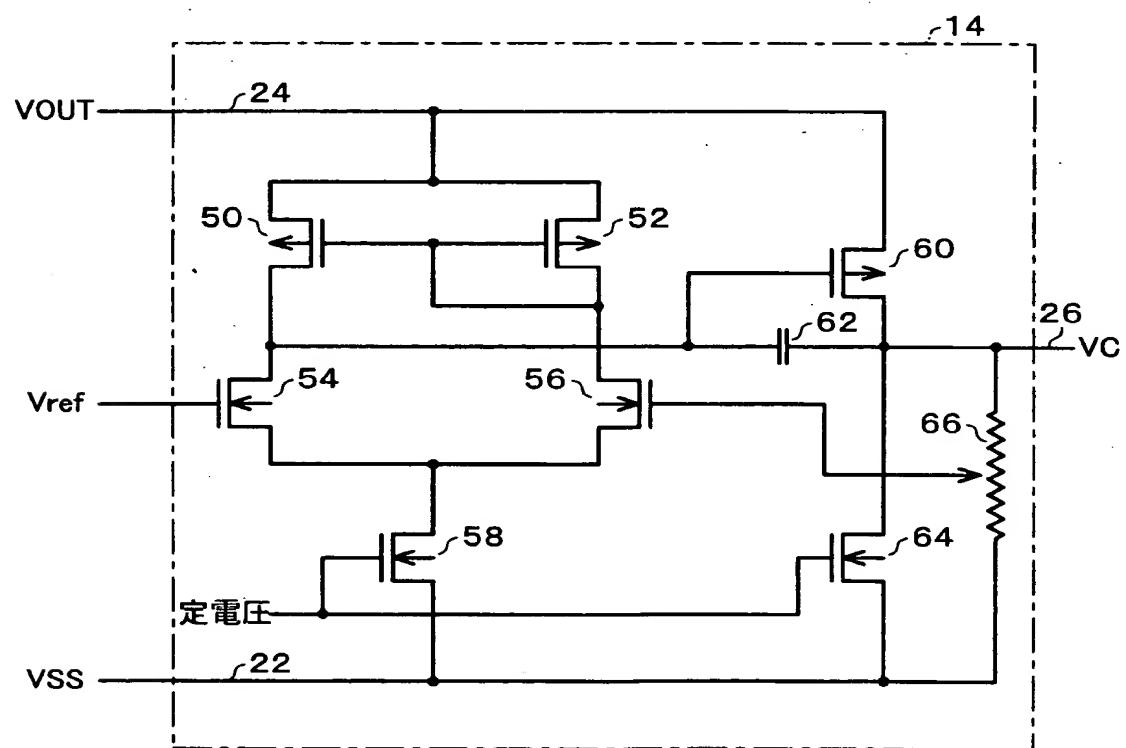
【図5】



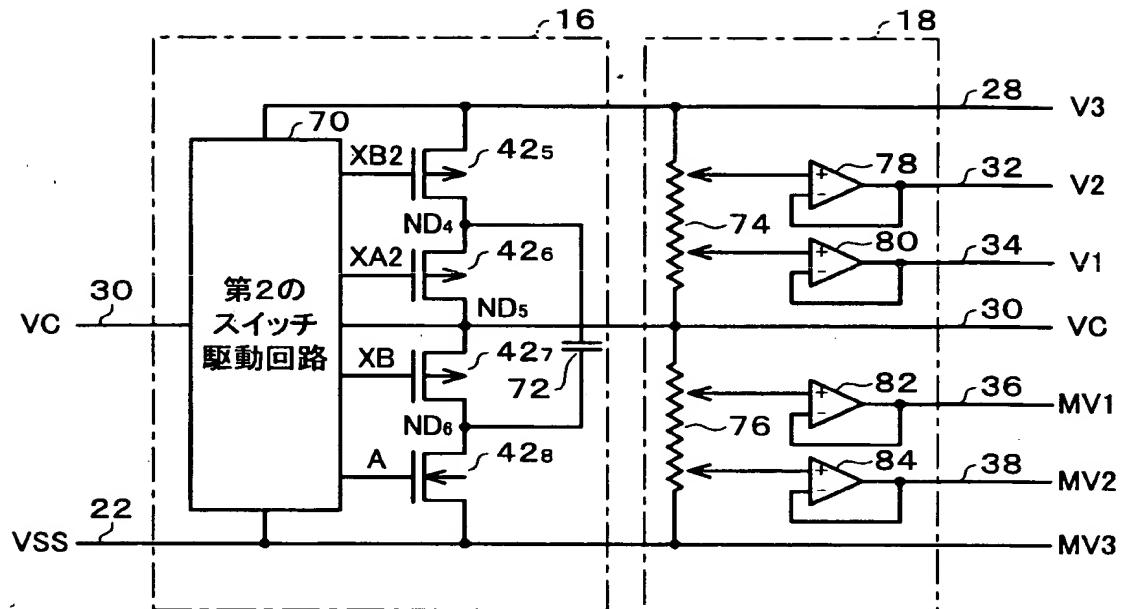
【図6】



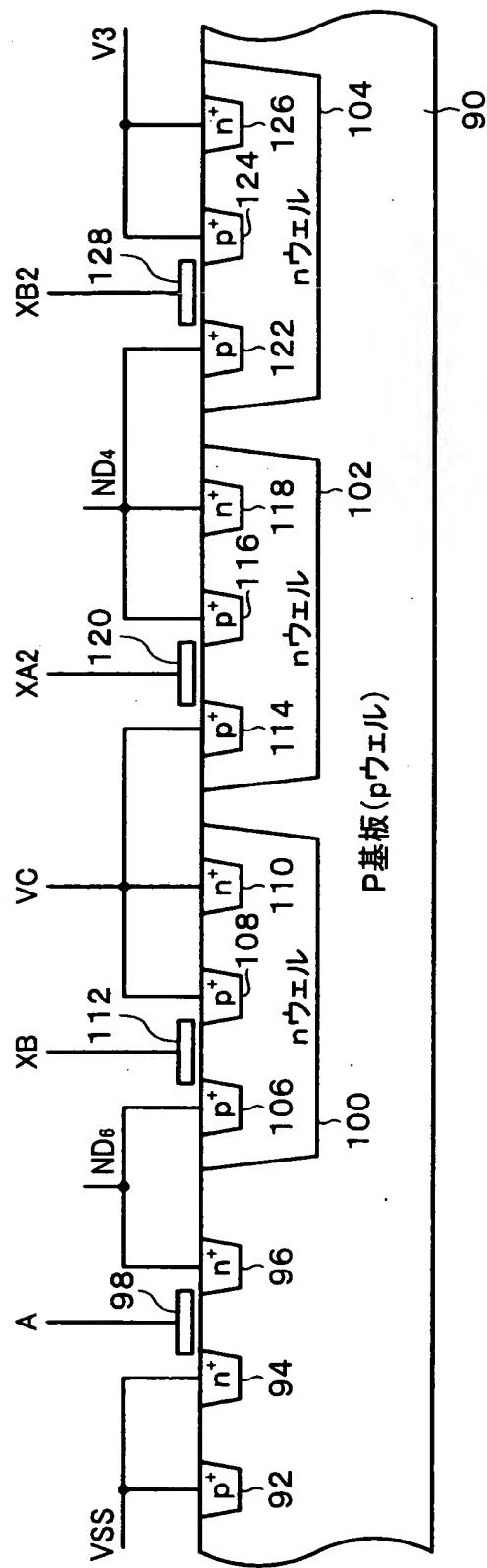
【図7】



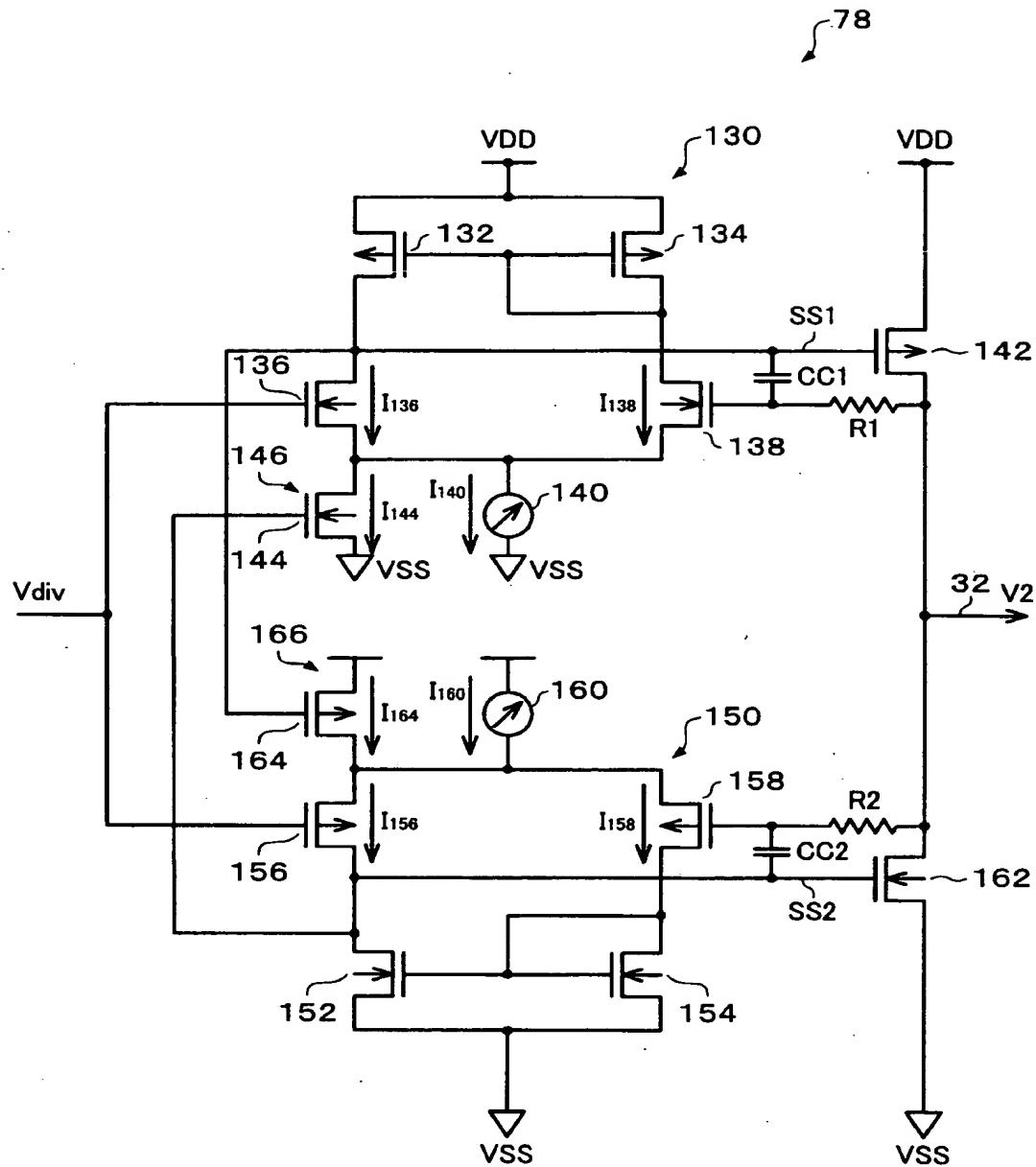
【図8】



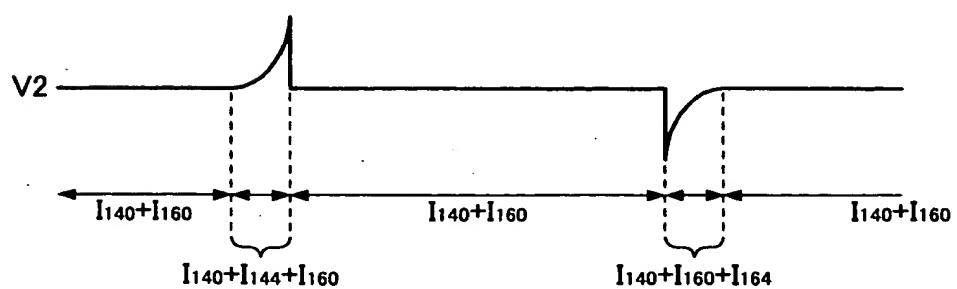
【図9】



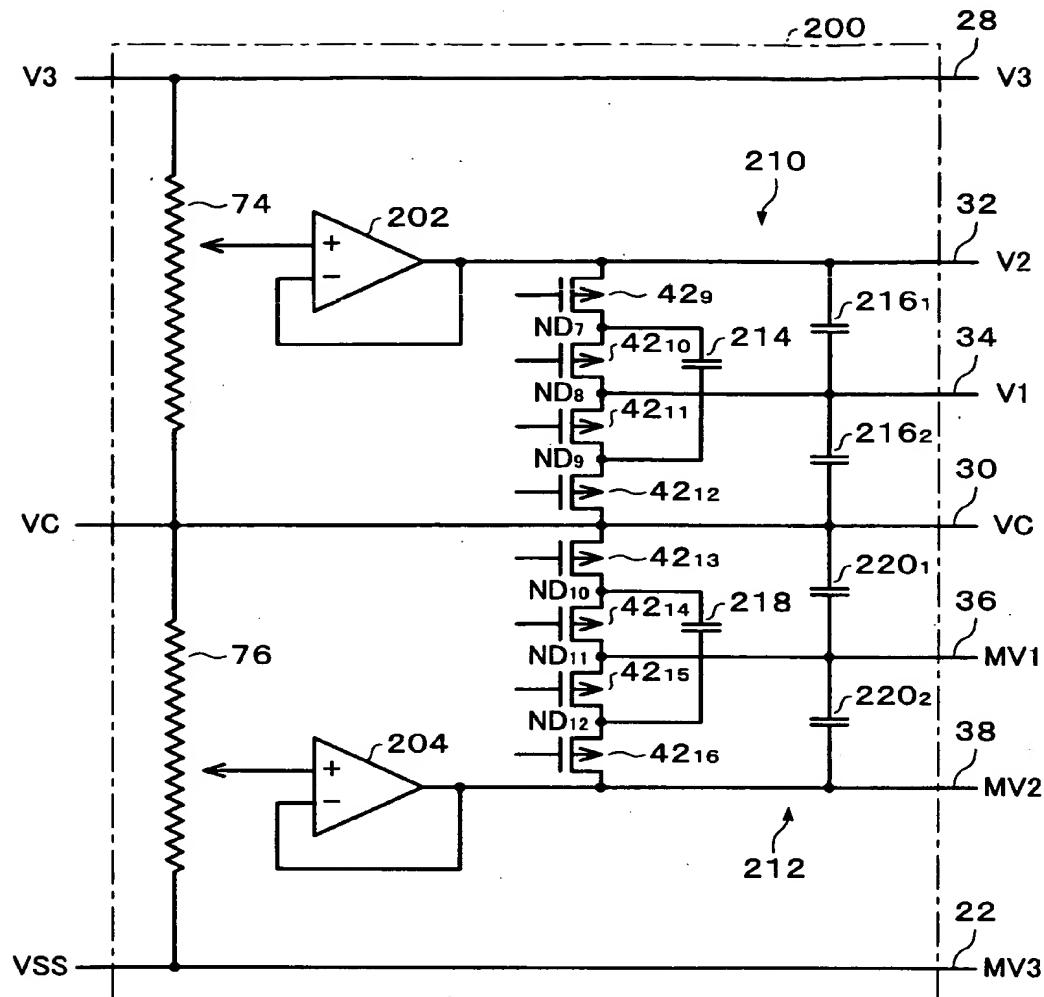
【図10】



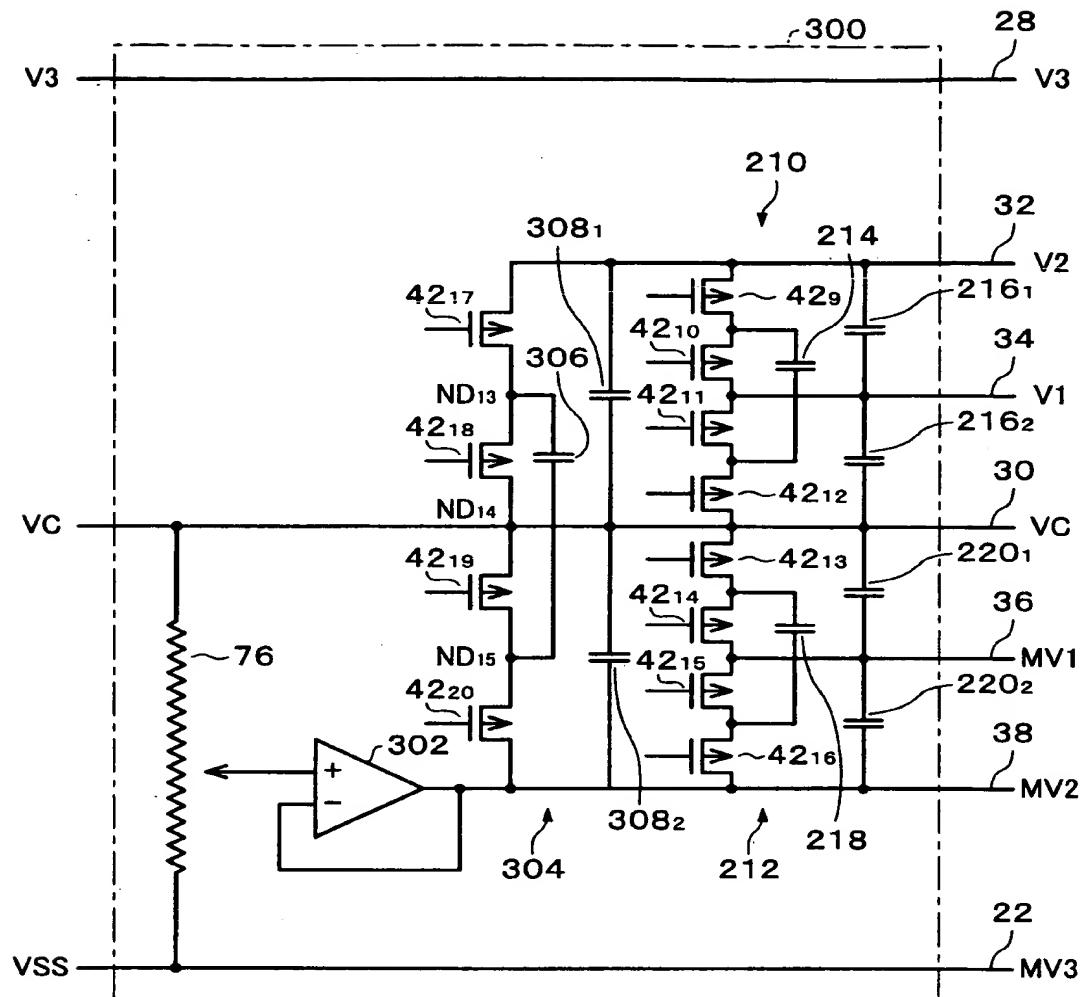
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 低コストで、多電位レベル化に対応可能な液晶駆動用電位の生成に好適な電源回路並びにそれを用いた液晶装置及び電子機器を提供する。

【解決手段】 電源回路10の第1の昇圧回路12は、接地レベルVSSを基準として、電源レベルVDDを昇圧した第1の昇圧電位レベルVOUTを生成する。レギュレータ回路14は、接地レベルVSSを基準に、参照電位レベルVrefを参照し、第1の昇圧電位レベルVOUTを調整したセンター電位VCを生成する。第2の昇圧回路16は、接地レベルVSSを基準として、センター電位VCを昇圧した電位レベルV3を生成する。多値電位生成回路18は、接地レベルVSSを基準として、電位レベルV3とセンター電位VCとの電位差から電位レベルV2、V1、MV1、MV2を生成し、MLS駆動法により表示駆動される液晶装置のパネルに供給する。

【選択図】 図3

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社